

Elementy architektury typu *multi-cycle*

Architektura *Multi-cycle*

- każda instrukcja wykonuje się w kilku cyklach zegara
- instrukcje wymagają różnej liczby cykli zegara
- dane wykorzystywane przez jedną instrukcję, umieszczane są w rejestrach pośrednich i wykorzystywane w następnych cyklach zegara tej samej instrukcji
- dane będące końcowym wynikiem instrukcji, umieszczane są w pliku rejestrów, pamięci zewnętrznej lub w PC
- redukcja dużych bloków architektury i dodanie rejestrów pośrednich

Bloki architektury:

- jednolita pamięć (instrukcje programu + dane)
- blok pliku rejestrów
- jeden element wykonawczy — ALU
- dodatkowe rejestry pośrednie, na wyjściu każdego bloku

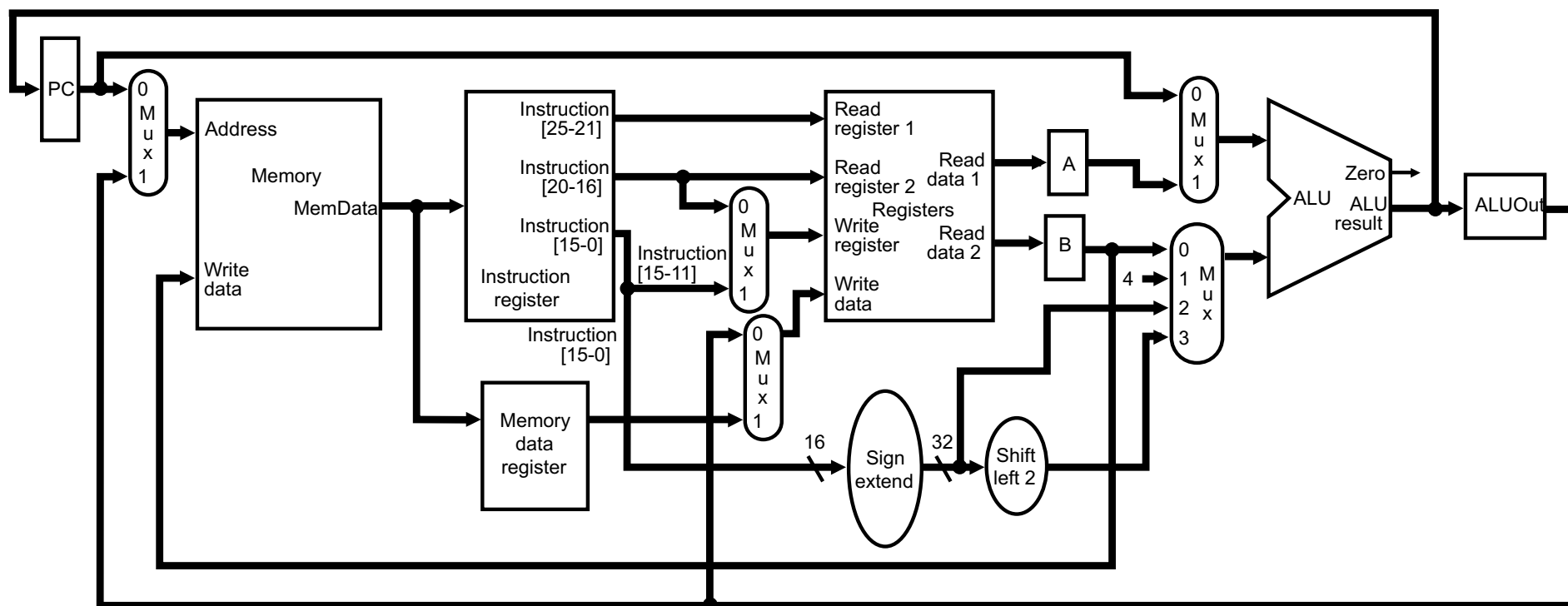
Rejestry pośrednie (niewidoczne dla programisty):

IR — instruction register — przechowuje kod instrukcji w czasie jej wykonywania

MDR — memory data register — przechowuje dane odczytane z pamięci

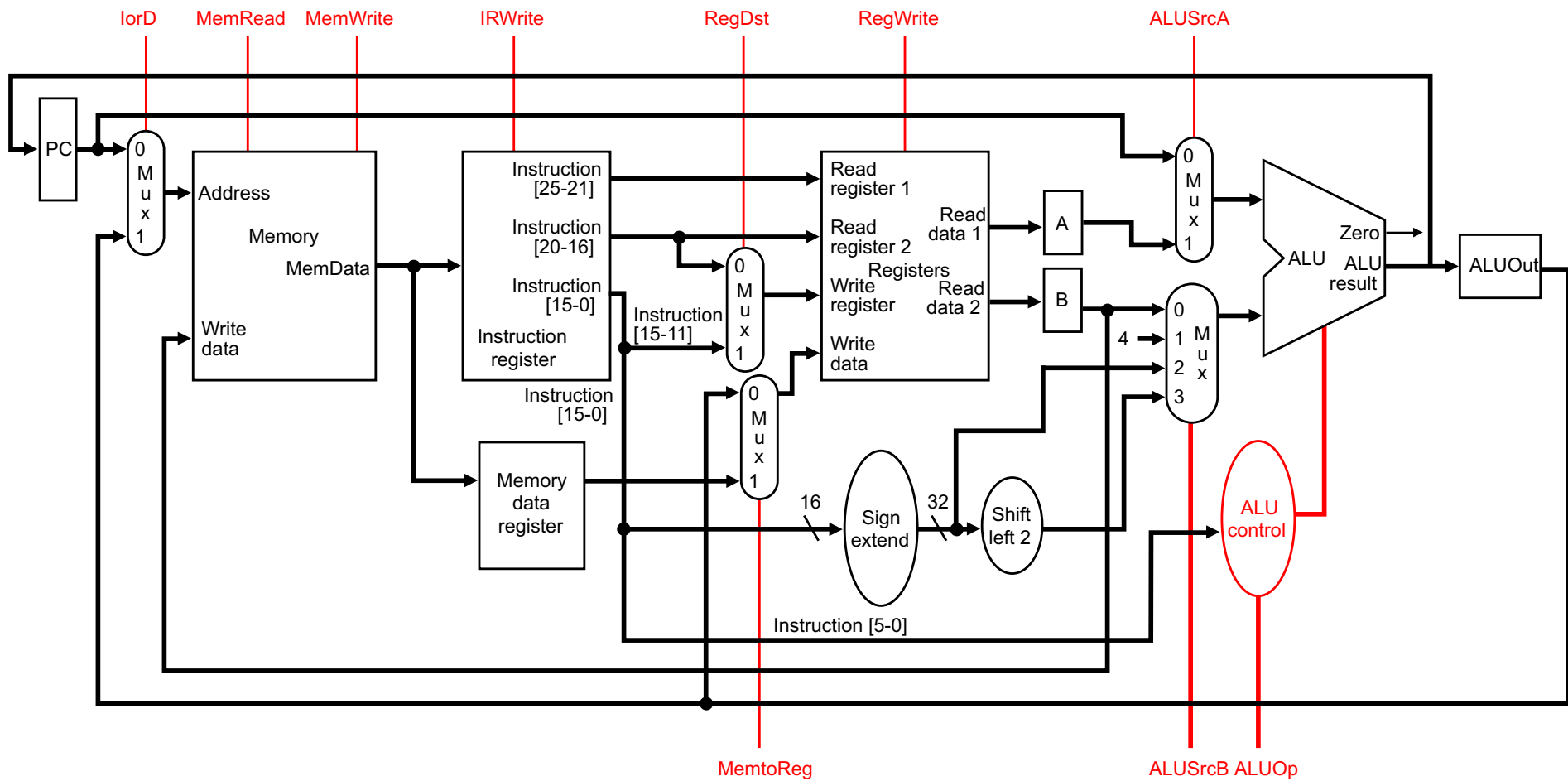
A,B — rejestry przechowujące odczytane wartości z pliku rejestrów mikroprocesora

ALUOut — rejestr przechowujący wynik działania ALU

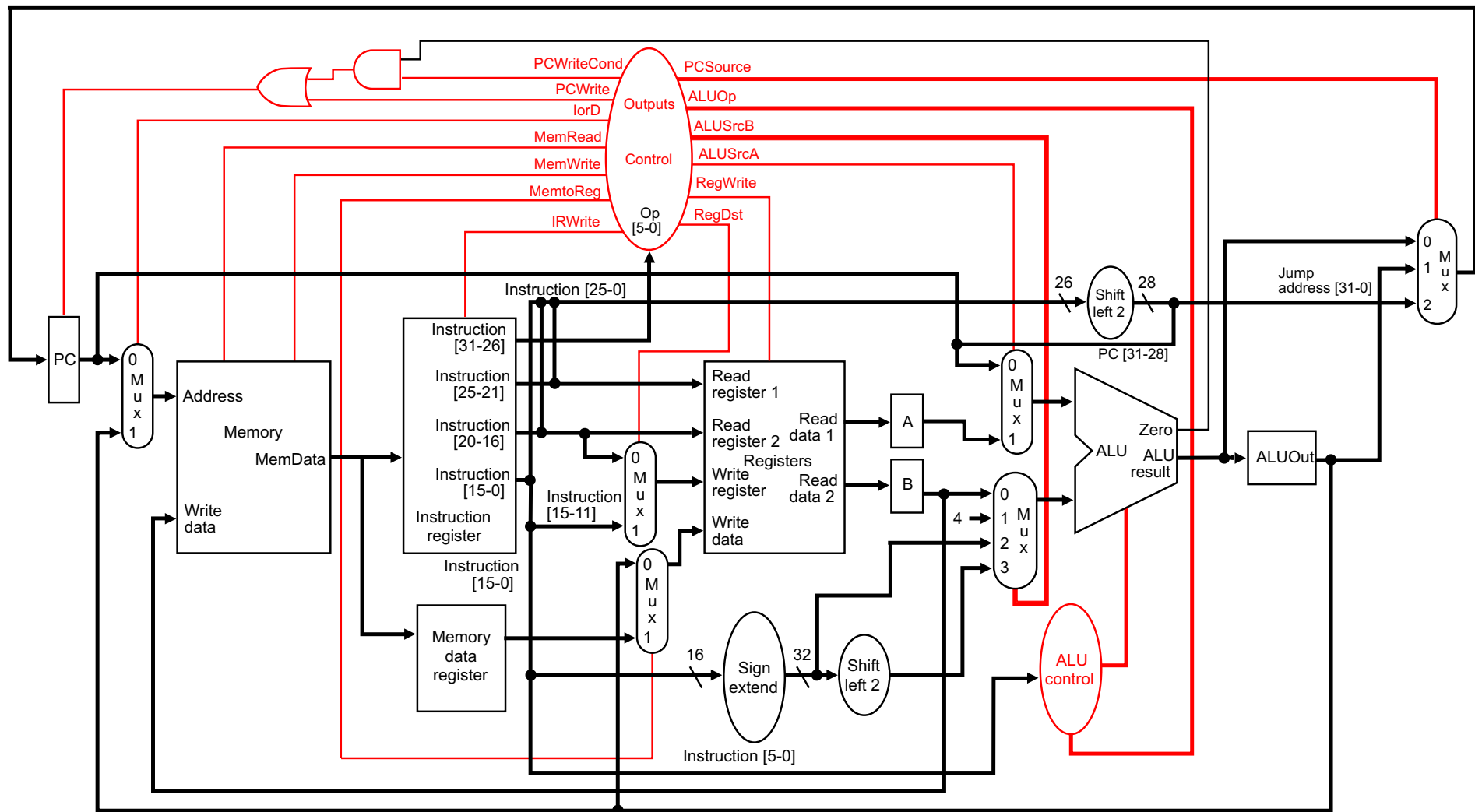


Dodatkowe multiplexery przed ALU są konieczne do realizacji wszystkich typów instrukcji oraz inkrementacji PC za pomocą tylko jednej jednostki wykonawczej

Ścieżki danych architektury *multi-cycle*



Sygnaly sterujące architektury *multi-cycle*



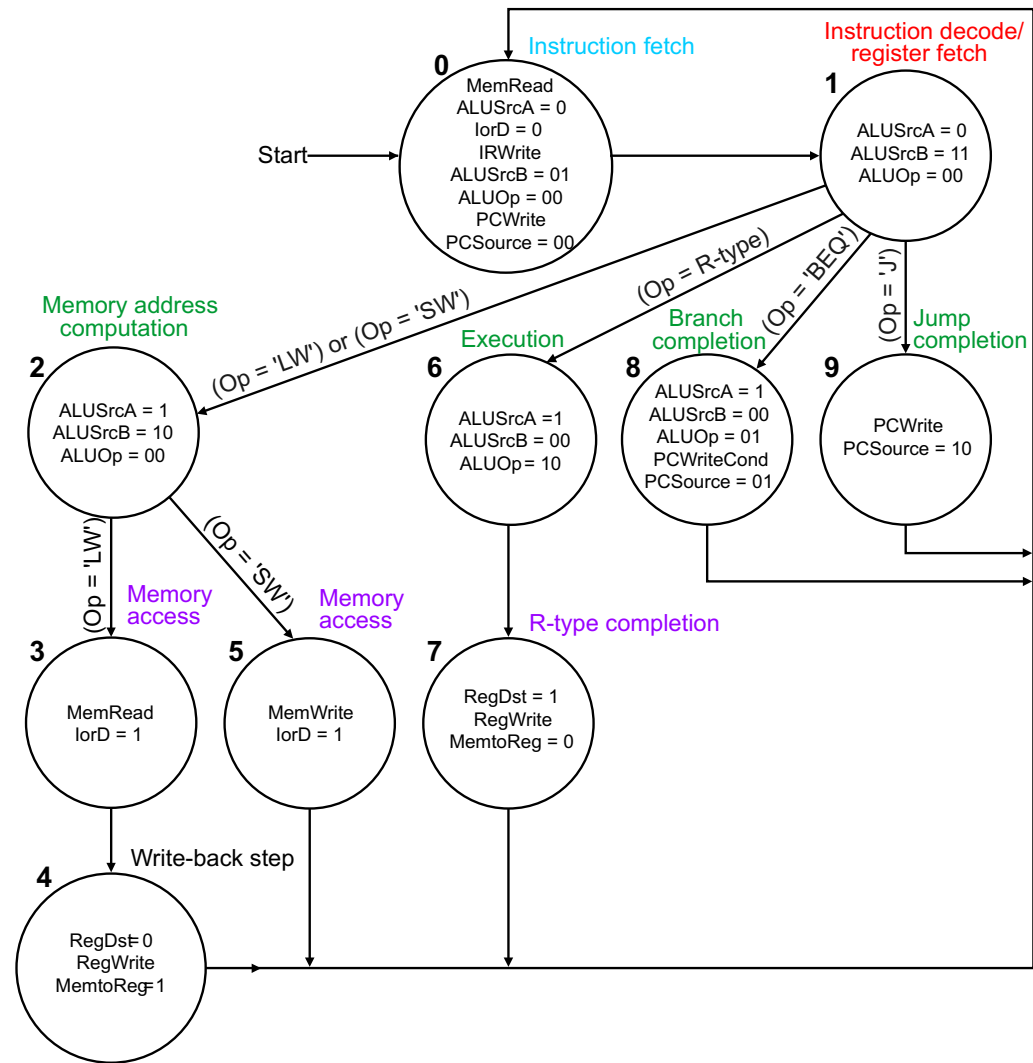
Kompletna architektura *multi-cycle*

Sygnal	0	1
RegDst	numer rejestru do zapisu	numer rejestru do odczytu
RegWrite	—	zezwoleńie na zapis od pliku rejestrów
ALUSrcA	PC do ALU	A do ALU
MemRead	—	zezwoleńia na odczyt z pamięci
MemWrite	—	zezwoleńia na zapis do pamięci
MemToReg	dane do zapisu w pliku rejestrów z ALUOut	dane do zapisu w pliku rejestrów z MDR
IorD	pamięć adresowana PC	pamięć adresowana ALUOut
IRWrite	—	zezwoleńia na zapis do IR
PCWrite	—	zezwoleńia na zapis do PC
PCWriteCond	—	warunkowy zapis do PC

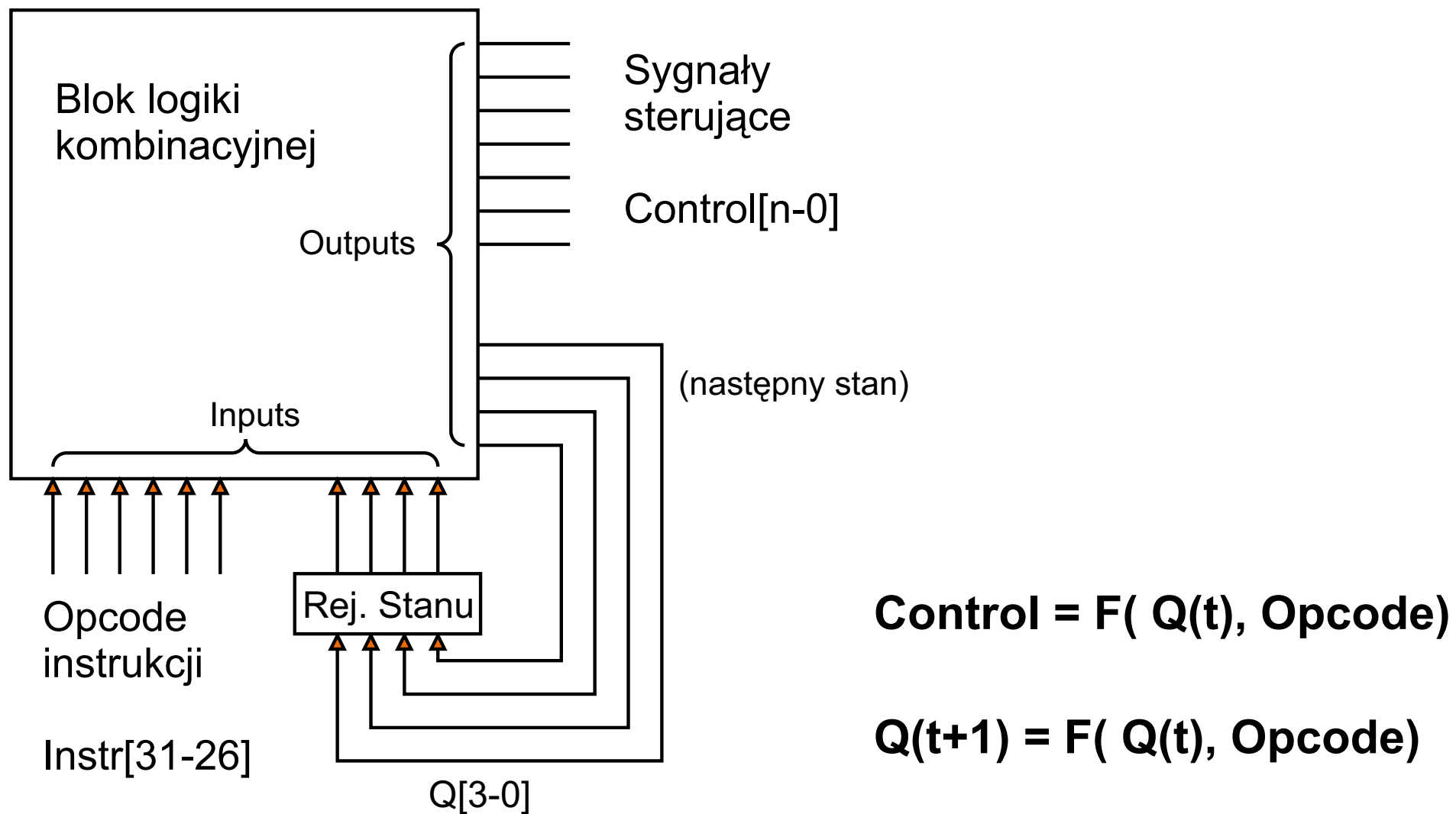
1-bitowe sygnały sterujące architektury *multi-cycle*

Sygnal	wartość	Działanie
ALUOp	00 01 10	dodawanie (load-store) odejmowanie (branch) zależnie od pola Function (R-type)
ALUSrcB	00 01 10 11	B (R-type) do ALU 4 do ALU instrukcja[15-0] (load-store) do ALU instrukcja[15-0]«2 (branch) do ALU
PCSource	00 01 10	ALU (PC+4) do PC ALUOut (branch) do PC PC[31-26]+IR[25-0]«2 (jump) do PC

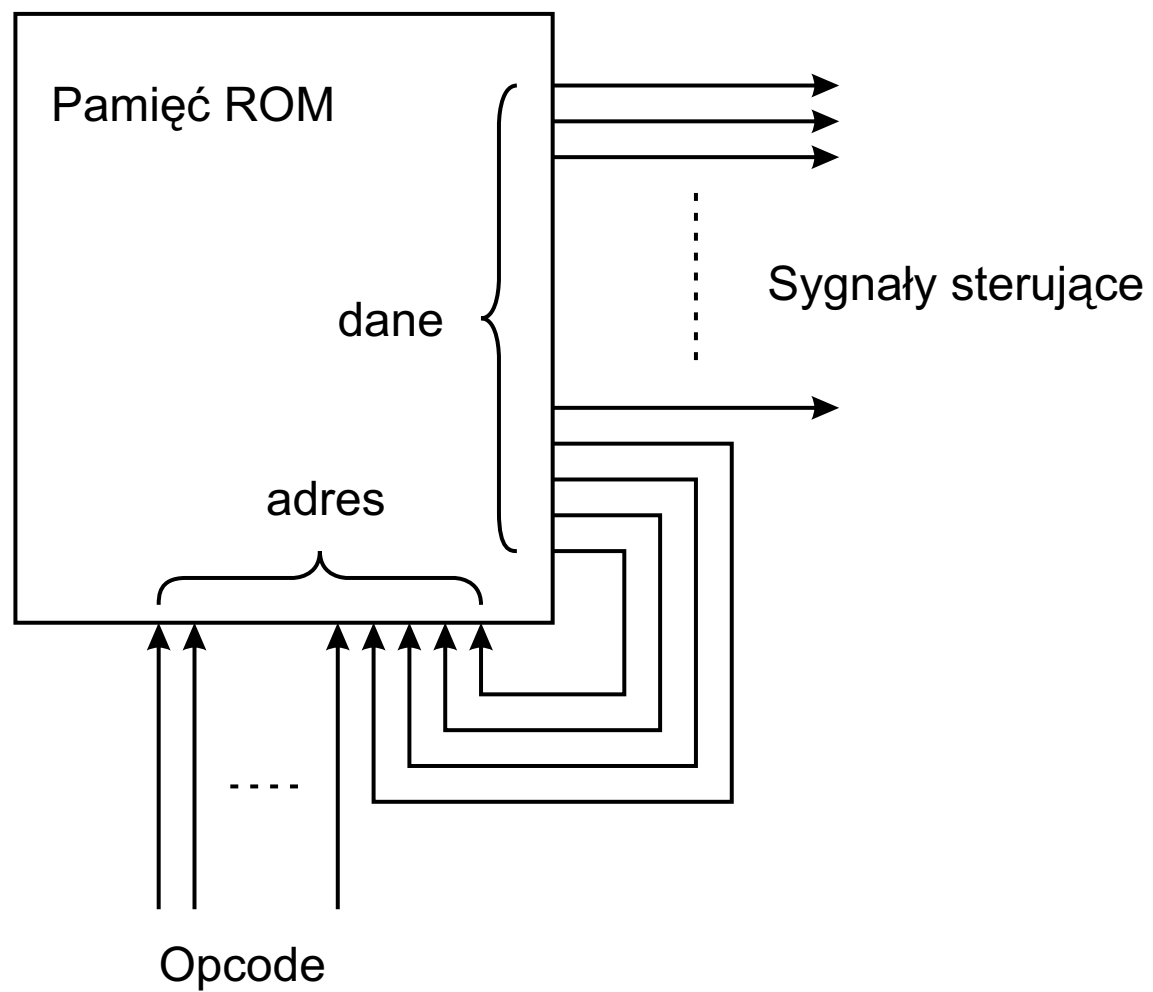
2-bitowe sygnały sterujące architektury *multi-cycle*



Kompletny diagram stanów bloku sterowania



Realizacja sterowania w postaci maszyny stanowej



Realizacja sterowania w postaci pamięci ROM