



LABORATORIUM PRZYRZĄDÓW I UKŁADÓW MOCY

# Ćwiczenie 3<sup>A</sup>

## Tranzystory MOSFET

### Tranzystory mocy jako łączniki Sterowanie polowe

Ramowy plan pracy

15'	30'	45'	1 <sup>h</sup>	1 <sup>h</sup> 15'	1 <sup>h</sup> 30'	po zajęciach
4.2	4.3/1-5	4.3/6-18	4.4/1-4	4.4/5-9	4.4/10-17	5

Opracowanie ćwiczenia i instrukcji:  
Łukasz Starzak

Łódź 2017



## Spis treści

<b>B Wprowadzenie do ćwiczenia.....</b>	<b>5</b>
1. Cel i przebieg ćwiczenia.....	5
2. Przelącznie tranzystora VDMOS .....	7
2.1. Tranzystory MOSFET mocy .....	7
2.1.a. Struktury półprzewodnikowe .....	7
2.1.b. Najważniejsze cechy tranzystorów MOSFET mocy .....	8
2.2. Obwód sterowania tranzystora VDMOS .....	9
2.2.a. Tranzystory polowe z izolowaną bramką.....	9
2.2.b. Indukcja kanału .....	9
2.2.c. Końcówki, obwody i warstwy .....	9
2.2.d. Sterowanie napięciowo-ładunkowe .....	12
2.3. Pojemności struktury VDMOS.....	14
2.3.a. Pojemności zastępcze struktury i schematu zastępczego.....	14
2.3.b. Pojemność bramka-źródło i zagadnienia ogólne .....	15
2.3.c. Pojemność dren-źródło .....	15
2.3.d. Pojemność bramka-dren .....	16
2.3.e. Parametry katalogowe .....	17
2.4. Wpływ pojemności na stany dynamiczne.....	19
2.4.a. Analizowany układ pracy .....	19
2.4.b. Etap 1 – opóźnienie załączania.....	19
2.4.c. Etap 2 – właściwe załączanie .....	22
2.4.d. Napięcie wejściowe tranzystora w etapie 2 .....	22
2.4.e. Efekt Millera .....	23
2.4.f. Etap 3 – ustalenie stanu obwodu bramki .....	24
2.4.g. Wyłączenie .....	25
2.4.h. Parametry pojemnościowe a praktyka projektowa.....	25
2.5. Dynamiczne parametry czasowe tranzystorów MOSFET mocy .....	26
2.5.a. Definicje fizyczne .....	26
2.5.b. Praktyka pomiarowa.....	27
3. Straty mocy w tranzystorach MOSFET.....	29
3.1. Moc strat i jej składowe .....	29
3.1.a. Istotność strat mocy .....	29
3.1.b. Składowe całkowitej mocy strat .....	29
3.2. Straty statyczne.....	31
3.2.a. Stan załączenia i stan wyłączenia .....	31
3.2.b. Rezystancja w stanie załączenia.....	32
3.3. Straty dynamiczne.....	34
3.3.a. Moc chwilowa i energia wydzielana w stanach dynamicznych.....	34
3.3.b. Obciążenie o charakterze opornika (rezystancyjne).....	34
3.3.c. Obciążenie o charakterze źródła prądu (indukcyjne) .....	36
3.3.d. Rzeczywiste konfiguracje pracy.....	36
3.3.e. Praktyka pomiarowa .....	37
<b>C Doświadczenie .....</b>	<b>39</b>
4. Pomiary.....	39
4.1. Opis układu pomiarowego .....	39
4.2. Rezystancja obwodu głównego.....	41
4.3. Przygotowanie do rejestracji przebiegów w funkcji czasu .....	43
Konfiguracja układu pomiarowego.....	43
Pomiar próbny .....	45
4.4. Wykonanie pomiarów przebiegów .....	47
Pełny cykl przełączania.....	47
Dokładna obserwacja stanu załączania.....	47

Dokładna obserwacja stanu wyłączenia .....	49
Obwód bramki przy zerowym napięciu dren-źródło .....	49
Zakończenie pomiarów .....	50
<b>D Wyniki.....</b>	<b>51</b>
5. Opracowanie i analiza wyników.....	51
5.1. Tranzystor jako łącznik i parametry stanów statycznych.....	51
Cykl przełączania .....	51
Rezystancja dren-źródło .....	52
Tranzystor jako łącznik w stanach statycznych .....	52
Działanie w stanach dynamicznych.....	52
5.2. Parametry dynamiczne .....	53
Uruchomienie programu Scilab .....	53
Czasowe parametry dynamiczne.....	53
Energetyczne parametry dynamiczne .....	53
Dalsze przypadki .....	54
Podsumowanie wyników.....	55
Analiza parametrów energetycznych.....	55
<b>E Informacje.....</b>	<b>59</b>
6. Wymagana wiedza.....	59
6.1. Przygotowanie do wykonywania ćwiczenia.....	59
6.2. Zakres kolokwium .....	59
7. Literatura.....	60

# B

## Wprowadzenie do ćwiczenia

---

### 1. Cel i przebieg ćwiczenia

---

Celem niniejszego ćwiczenia jest poznanie dynamicznych właściwości tranzystora MOSFET mocy typu VDMOS i wynikających stąd zastosowań.

W pierwszej części ćwiczenia badane będzie działanie tranzystora w dynamicznych stanach pracy: załączania i wyłączania. Zaobserwowany zostanie wpływ obwodu sterowania na parametry czasowe opisujące przełączanie tranzystora. Następnie przeanalizowane zostaną związki między czasem trwania procesów przełączania a mocą strat w przyrządzie. Pozwoli to zrozumieć jeden z powodów, dla których dąży się do uzyskania jak największej szybkości działania przyrządów półprzewodnikowych mocy.

Omówienie budowy i działania tranzystora VDMOS można znaleźć w dostępnej literaturze [1], jest ono również szczegółowo analizowane w ramach wykładu. Z tego powodu w niniejszej instrukcji zostaną bliżej omówione jedynie wybrane zagadnienia związane bezpośrednio z wykonywanym ćwiczeniem. W przypadku wiadomości o podstawowych zjawiskach fizycznych (przewodnictwo unipolarne, blokowanie napięcia na złączu, obszar ładunku przestrzennego) należy odwołać się dodatkowo do instrukcji 0.



## 2. Przełączanie tranzystora VDMOS

---

### 2.1. Tranzystory MOSFET mocy

#### 2.1.a. Struktury półprzewodnikowe

Tranzystory MOSFET (ang. *Metal-Oxide-Semiconductor Field Effect Transistor* ‘tranzystor polowy ze strukturą metal-tlenek-półprzewodnik’) są szeroko stosowane w układach elektroniki mocy. Aby umożliwić takie zastosowanie, konieczne było opracowanie specjalnych konstrukcji wysokonapięciowych i silnoprądowych. Pierwsza taka struktura została wynaleziona w roku 1974.

W celu zapewnienia odpowiedniej wytrzymałości napięciowej, tranzystory MOSFET są wykonywane często jako struktury pionowe – podobnie jak np. dioda PIN i wiele innych przyrządów półprzewodnikowych mocy. Oznacza to, że jeżeli płytkę krzemową ułożymy w taki sposób, że oryginalne podłoże krzemowe będzie w pozycji poziomej, to droga przepływu prądu głównego ma kierunek pionowy. W ten sposób można uzyskać szeroką (w przypadku struktury pionowej – *de facto* wysoką) warstwę słabo domieszkowaną bez znacznego zużycia powierzchni płytki krzemowej. Warstwa taka jest, jak wiadomo, niezbędna dla wysokiej wytrzymałości napięciowej.

Trzy najpopularniejsze obecnie struktury pionowe tranzystorów MOSFET mocy to (w historycznej kolejności):

- 1) **tranzystor pionowy z podwójną dyfuzją VDMOS** (ang. *Vertical Double-Diffused MOS*) – w którym bramka znajduje się poziomo nad górną powierzchnią płytki krzemowej, a miejsce dla kanału wytwarza się poprzez dyfuzję w podłożu krzemowym (które stanowi dren tranzystora) najpierw słabiej domieszkowanej warstwy podłoża tranzystora, a następnie silnie domieszkowanej warstwy źródła tranzystora;
- 2) **tranzystor rowkowy** (ang. *Trench MOSFET*) – w którym bramka jest umieszczana w pionowych rowkach trawionych od górnej powierzchni płytki krzemowej, co pozwala na gęstsze upakowanie komórek tranzystorowych, jednak ogranicza napięcie przebicia;
- 3) **tranzystor superzłączowy SJFET** (ang. *Superjunction FET*) – dla którego charakterystyczne jest naprzemienne ułożenie drenu i podłoża w pionowe, wąskie pasy, co w stanie blokowania wywołuje specyficzny efekt polowy złączowy (poprzeczne pole elektryczne), zwiększający wytrzymałość napięciową przyrządu.

Pierwsza z wymienionych struktur, mimo, że najstarsza, nadal jest najpopularniejszą (z ewentualnymi modyfikacjami), szczególnie w najwyższym zakresie napięć (400–1000 V). W zakresie niższych napięć (do 200 V) popularne są tranzystory rowkowe.

Rozwój technologii półprzewodnikowej pozwolił także na opracowanie lepszych (bardziej wytrzymałych) konstrukcji poziomych. Najpopularniejszą jest **poziomy tranzystor z podwójną dyfuzją – LDMOS** (ang. *Lateral Double-Diffused MOSFET*). Różni się on od tranzystora VDMOS tym, że elektroda drenu znajduje się również (tak jak źródło i bramka) na górnej powierzchni krzemu.

Tranzystory poziome używane są głównie w układach scalonych mocy. Nie osiągają jednak dużych wytrzymałości napięciowych – do kilkadziesiąt woltów. Jest to spowodowane występowaniem pola elektrycznego równoległego do górnej powierzchni krzemu. Jak wiadomo, oznacza to obniżenie krytycznej wartości natężenia pola i szybsze jego narastanie z przyłożonym napięciem.

### 2.1.b. Najważniejsze cechy tranzystorów MOSFET mocy

W strukturach tranzystorów MOSFET mocy najczęściej **warstwa słabo domieszkowana** jest typu N. Zawsze jest to warstwa drenu, co wynika z konieczności blokowania napięcia w kierunku przewodzenia, a więc na złączu podłoże-dren (patrz paragraf 2.2.c). Wybór przewodnictwa elektronowego wynika z faktu, że rezystancja tranzystora MOSFET – jako przyrządu unipolarnego – jest i tak wysoka wobec niskiego poziomu domieszkowania najszerzej warstwy. W związku z tym dalsze obniżenie konduktywności wynikające z niższej ruchliwości dziur niż elektronów, jest bardzo niepożądane. Z tego powodu nasze rozważania ograniczymy wyłącznie do struktur z kanałem typu N.

Z powyższego punktu widzenia **unipolarny mechanizm przewodnictwa** jest oczywiście niekorzystny. Do popularności tranzystorów MOSFET w układach mocy musiał się więc przyczynić inny czynnik. Jest nim mechanizm sterowania – polowy z izolowaną bramką. Oznacza on brak przepływu stałego prądu, co stanowiło znaczący postęp w stosunku do wcześniej stosowanych tranzystorów bipolarnych BJT – sterowanych prądowo. Dlatego właśnie mechanizm sterowania stanowić będzie główny obiekt naszego zainteresowania w niniejszym ćwiczeniu.

Równie znacząca jest również **duża szybkość przełączania**, która stanowi zaletę przyrządów unipolarnych. W przyrządzie unipolarnym nośniki mniejszościowe są zasadniczo nieobecne na ścieżce przepływu prądu. W związku z tym załączanie i wyłączanie takiego przyrządu może się odbywać w bardzo krótkim czasie, rzędu czasu przelotu nośnika przez warstwę słabo domieszkowaną (kilka nanosekund). To również stanowiło rewolucyjną zmianę w stosunku do wcześniej znanych przyrządów mocy (diody, tyrystory, tranzystory BJT).



## 2.2. Obwód sterowania tranzystora VDMOS

### 2.2.a. Tranzystory polowe z izolowaną bramką

Działanie *polowych przyrządów półprzewodnikowych* (ang. *field effect semiconductor devices*) opiera się w ogólności na utworzeniu lub likwidacji w warstwie półprzewodnikowej (**podłożu**, ang. *bulk, substrate*) ścieżki przewodzącej (**kanalu**, ang. *channel*), w wyniku wytworzenia w nim pola elektrycznego, poprzez oddziaływanie za pośrednictwem elektrody sterującej (**bramki**, ang. *gate*). Do polowych przyrządów mocy zaliczają się tranzystory MOSFET i IGBT, tyrystory MCT oraz – nie produkowane komercyjnie – przyrządy z indukcją statyczną (SIT, SITH i in.)

Najpopularniejsze przyrządy polowe mocy to **tranzystory polowe z izolowaną bramką** (ang. *insulated gate field effect transistors, IGFET*) – tj. w których elektroda bramki jest odizolowana od podłoża, z **kanalem wzbogacającym** (ang. *enhancement mode*) – tj. w których oddziaływanie powoduje utworzenie (a nie likwidację) kanału.

Działanie przyrządów z izolowaną bramką opiera się na **strukturze MOS** (ang. *Metal-Oxide-Semiconductor* ‘metal-tlenek-półprzewodnik’). Słowo *metal* pochodzi z czasów, gdy bramki były zawsze wytwarzane z metalu. Obecnie zwykle stosuje się krzem polikrystaliczny. W strukturze MOS bramka jest izolowana od podłoża przez cienką warstwę tlenku. Rys. 1a przedstawia taką strukturę z podłożem typu P.

### 2.2.b. Indukcja kanału

W przyrządzie z kanałem wzbogacającym, w wyniku przyłożenia napięcia między bramką a podłożem, w warstwie podłoża pod bramką powstaje **warstwa zubożona** (ang. *depletion layer*), tzn. taka, z której nośniki rdzenne są wypierane przez powstałe pole elektryczne, a przyciągane są nośniki przeciwnego typu. Przy odpowiednio wysokim napięciu koncentracja nośników napływowych w cieniwej warstwie bezpośrednio pod bramką staje się większa niż nośników rdzennych. Mówimy wówczas, że utworzyła się **warstwa inwersyjna** (ang. *inversion layer*) – o typie przewodnictwa przeciwnym niż podłożem, w którym się znajduje (rys. 1b).

Powstanie warstwy inwersyjnej można również rozważać na bazie teorii pasm energetycznych. Odpowiada ono wówczas takiemu zagięciu poziomów energetycznych półprzewodnika bezpośrednio pod bramką, że poziom Fermiego  $W_F$  przechodzi na drugą stronę poziomu Fermiego półprzewodnika niedomieszkowanego  $W_{Fi}$ . Przykładowo, jeżeli w podłożu P normalnie poziom Fermiego znajduje się bliżej pasma walencyjnego, to w warstwie inwersyjnej jest on zagięty tak, że znajduje się bliżej pasma przewodnictwa. Oznacza to większą koncentrację elektronów niż dziur, a więc utworzenie warstwy o charakterze N – przeciwnym do podłoża, w którym się znajduje.

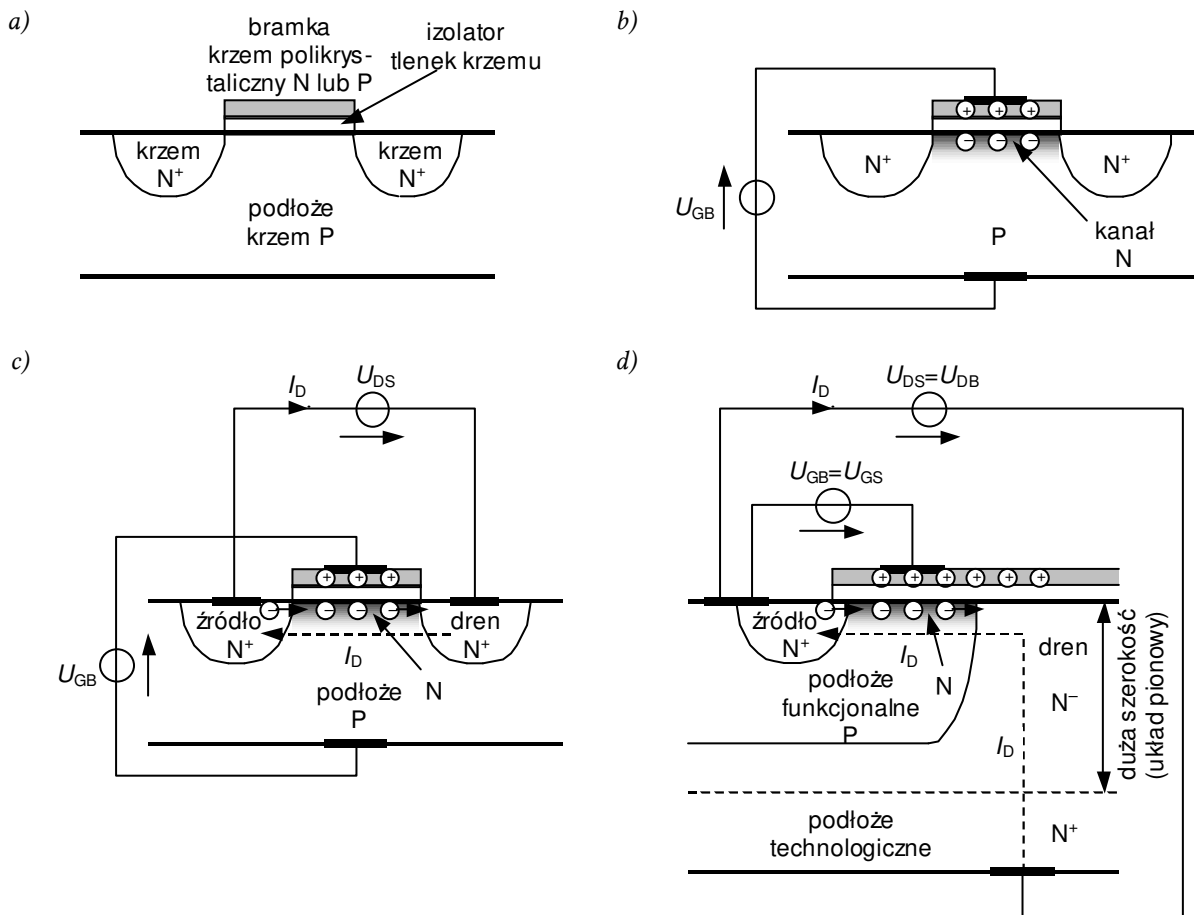
Do odpowiedniego zagięcia poziomów energetycznych, czy też wytworzenia odpowiednio silnego pola elektrycznego, konieczne jest przekroczenie pewnej wartości napięcia bramka-podłożem, nazywanej **napięciem progowym**  $U_{th}$  (ang. *threshold voltage*). Wartość ta zależy głównie od materiału bramki, koncentracji domieszek w podłożu i grubości tlenku izolującego te dwie warstwy.

Utworzenie warstwy inwersyjnej nazywa się inaczej **indukcją kanału**, czyli ścieżki, którą będą mogły przepływać nośniki między sąsiednimi warstwami półprzewodnika – o typie przewodnictwa przeciwnym niż podłożem i identycznym, co warstwa inwersyjna. Przepływ prądu nastąpi, jeżeli te sąsiednie warstwy silnie domieszkowane zostaną odpowiednio spolaryzowane względem siebie (rys. 1c).

### 2.2.c. Końcówki, obwody i warstwy

Obszar, który w wyniku polaryzacji obwodu głównego dostarcza nośniki (w rozważanym przypadku – elektrony) do kanału, nazywa się **źródłem** (ang. *source*), zaś obszar, który absorbuje nośniki – **drenem** (ang. *drain*). Elektrody drenu (D) i źródła (S) są końcówkami **obwodu głównego** tranzystora MOSFET, natomiast elektroda bramki (G) jest **końcówką sterującą**.

Pod względem końcówek, tranzystory MOSFET mocy różnią się od tranzystorów sygnałowych trzema ważnymi cechami, które mają wpływ na sterowanie.



Rys. 1. Działanie struktury MOS z kanałem wzbogacanym typu N: a) bez polaryzacji zewnętrznej; b) z polaryzacją bramka-podłoże; c) z polaryzacją obwodu głównego; d) układ warstw typowy dla wysokonapięciowych pionowych tranzystorów MOSFET mocy

1. Tranzystory mocy są **asymetryczne** – nie istnieje możliwość zamiany ról drenu i źródła, jak to teoretycznie ma miejsce w przypadku sygnałowych tranzystorów MOSFET. Wynika to z konieczności blokowania wysokich napięć w obwodzie głównym (dren-źródło). W stanie blokowania wstecznie spolaryzowane jest złącze podłoże-dren. W związku z tym słabo domieszkowany i szeroki musi być obszar podłoża lub drenu.

Jednak duża szerokość podłoża oznaczałaby długi poziomy kanał – a więc zwiększenie obszaru zajmowanego przez komórkę tranzystora, oraz występowanie poziomego pola elektrycznego zaraz pod górną powierzchnią krzemu – co obniżyłoby wytrzymałość napięciową. Z tych powodów to obszar drenu powinien mieć dużą szerokość i najlepiej, aby był to wymiar pionowy (patrz rys. 1d) – gdyż takie komórki da się upakować gęściej obok siebie oraz minimalizuje się problemy z polem elektrycznym.

Wytworzenie symetrycznego złącza źródło-podłoże jest więc niemożliwe (ułożenie w pionie drugiej warstwy całkowicie izolowanej od drenu) oraz niecelowe (zwiększyłoby rezystancję przyrządu przez wprowadzenie kolejnej warstwy słabo domieszkowanej o dużych wymiarach).

Układ warstw źródło-dren wymusza określony sposób sterowania tranzystorem VDMOS. Tranzystorem sygnałowym można sterować dowolnie – względem źródła lub względem drenu. W przypadku tranzystorów mocy duże rozmiary struktur powodują, że należy skracać długość obwodu sterowania w maksymalnym możliwym stopniu.

Aby oddziaływanie bramki mogło być skuteczne – a do przewodzenia dużych prądów konieczne jest wytworzenie „porządnego” kanału – powinna ona

znajdować się jak najbliżej drugiej elektrody obwodu sterowania. Dlatego **obwód sterowania** tranzystora VDMOS mogą tworzyć tylko bramka i źródło, które znajdują się blisko siebie na tej samej – górnej – powierzchni płytki krzemowej.

2. Tranzystory mocy są **przyrządami trzykońcówkowymi** – bez wyprowadzonej elektrody podłoża, która jest na stałe zwarta ze źródłem przez kontakt metaliczny (patrz rys. 1d). Jak wiadomo, polaryzacja podłoża względem źródła pozwala zmodyfikować napięcie progowe tranzystora, jednak w przypadku układów mocy byłoby to niepotrzebną komplikacją.

Tranzystory mocy są bowiem stosowane w roli łączników, a więc możliwość zmiany napięcia progowego wiele by nie wniosła. Przyrządy te i tak są wyłączane napięciem zerowym, a załączane – po prostu na tyle dużym, by załączenie to było pewne i wprowadziło przyrząd głęboko w zakres liniowy. Stan nasycenia – a to głównie na niego miałyby wpływ napięcie progowe – jest nieistotny.

Rozważając podłoże należy zauważyć, że w strukturach mocy występuje podłoże technologiczne i podłoże funkcjonalne. Pojęcie **podłoża technologicznego** odnosi się do technologii wytwarzania przyrządów półprzewodnikowych, które zawsze są wytwarzane w lub na płycie bazowej. Tę rolę pełni dolna warstwa  $N^+$ , silnie domieszkowana w celu realizacji kontaktu omowego (a nie złącza Schottky'ego). Ze względu na elektryczne połączenie z warstwą  $N^-$ , z funkcjonalnego punktu widzenia podłoże technologiczne należy do drenu.

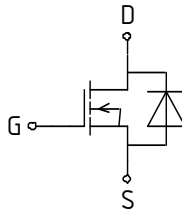
Z kolei **podłoże funkcjonalne** odnosi się do elektrycznej funkcji warstwy będącej miejscem wytwarzania kanału. Tę rolę pełni warstwa P dyfundowana w wytwarzanej epitaksjalnie (ze względu na możliwość precyzyjnego ustalenia wysokości i domieszkowania) warstwie  $N^-$ .

3. Struktury tranzystorów mocy uniemożliwiają zamianę roli źródła i drenu również z innego powodu. Gdy tranzystor (obwód główny) jest spolaryzowany w kierunku przewodzenia (dodatni potencjał drenu względem źródła), złącze  $PN^-$  (podłoże-dren) jest spolaryzowane zaporowo. Jednak przy odwrotnej polaryzacji obwodu głównego będzie ono spolaryzowane w kierunku przewodzenia, a więc po prostu zacznie **przewodzić prąd wsteczny** (wsteczny względem tranzystora jako całości, tj. przy ujemnej polaryzacji jego obwodu głównego; dla samego złącza jest to zwyczajny prąd przewodzenia). To działanie złącza opisuje się najczęściej jako działanie dodatkowej diody włączonej przeciwrównolegle (tj. z odwrotnym kierunkiem przewodzenia) do obwodu dren-źródło zasadniczego tranzystora MOS – tzw. **diody podłożowej** (ang. *body diode*).

Właściwość ta może być niekiedy przydatna, jednak sprawia, że kontrolowane działanie tranzystora jest możliwe tylko w ściśle określonym kierunku (polaryzacji obwodu głównego). W drugim kierunku oddziaływanie na fakt przepływu prądu za pośrednictwem bramki MOS jest niemożliwe (można co najwyżej nieznacznie zmienić charakterystykę prądowo-napięciową).

Przy okazji wnioskujemy, że tranzystor MOSFET mocy nie posiada stanu zaworowego, ale drugi stan przewodzenia – w kierunku wstecznym. W stanie tym obwód sterowania nie ma wpływu na przełączanie przyrządu.

Przedstawiony na rys. 2, pełny symbol tranzystora MOSFET mocy o strukturze VDMOS i podobnych uwzględnia powyższe szczególne właściwości. Pokazuje on, że źródło jest wewnętrznie zwarte z podłożem, zaś równolegle do kanału między drenem a źródłem występuje złącze  $PN$  (dioda podłożowa), w wyniku czego przy polaryzacji wstecznej obwodu głównego (ujemne napięcie dren-źródło) tranzystor przewodzi. W praktyce dla uproszczenia wykorzystuje się również zwykły, ogólny symbol tranzystora MOSFET. Zasadniczo nie jest to jednak poprawne i rodzi ryzyko błędnej interpretacji schematu z punktu widzenia zachowania się tranzystora.



Rys. 2. Symbol tranzystora MOSFET mocy (tu z kanałem typu N) o strukturze VDMOS i podobnych – ze złączem PN między drenem a źródłem

### 2.2.d. Sterowanie napięciowo-ładunkowe

Ze względu na izolację bramki od struktury półprzewodnikowej, przepływowi prądu głównego nie towarzyszy przepływ żadnego prądu sterującego. Odróżnia to przyrządy polowe od innych przyrządów mocy, takich jak na przykład:

- tranzystory bipolarne złączowe (BJT) – gdzie do przepływu prądu w obwodzie głównym kolektor-emiter niezbędny jest stały przepływ prądu w obwodzie sterowania baza-emiter,
- tyrystory (konwencjonalne SCR, triaki i in.) – w których do zainicjowania i podtrzymania przepływu prądu głównego anoda-katoda wymagany jest odpowiednio wysoki i długi impuls prądu w obwodzie sterowania bramka-katoda.

Jeżeli jednak bliżej przyjrzeć się strukturze tranzystorów polowych z izolowaną bramką, okaże się, że nie jest możliwe ich użytkowanie bez przepływu *jakiegokolwiek* prądu w obwodzie sterowania. Zauważmy bowiem, że **układ bramka-tlenek-podłoże stanowi kondensator**. Tlenek pełni w nim rolę izolatora, natomiast bramka i podłoże – elektrod (okładek). Jeżeli między bramką a podłożem ma zostać wytworzone pewne napięcie w celu utworzenia kanału i załączenia przyrządu, to napięcie to nie może pojawić się skokowo.

Konieczne będzie naładowanie kondensatora, czyli dostarczenie doń odpowiedniego ładunku zgodnie z zależnością

$$Q_G = C_{G(\text{eff})} U_{GS} \quad (2.1)$$

gdzie  $C_{G(\text{eff})}$  jest jakąś wypadkową pojemnością bramki, zaś  $U_{GS}$  – wymuszonym napięciem między bramką a podłożem (czyli również źródłem). Podobnie, jeżeli w celu wyłączenia tranzystora wymuszone zostaje zerowe napięcie  $U_{GS}$ , musi nastąpić rozładowanie kondensatora, czyli odprowadzenie takiego samego ładunku.

Powyższe zjawisko jest słabo obserwowalne w tranzystorach małej mocy. Jak jednak wiadomo, pojemność kondensatora płaskiego o powierzchni okładek  $A$ , odległości między nimi  $d$  i przenikalności elektrycznej dielektryka  $\epsilon$  można wyrazić jako

$$C = \frac{\epsilon A}{d} \quad (2.2)$$

Pojemność związana z bramką da się przybliżyć właśnie przez kondensator płaski (ściślej – równoległe połączenie kilku kondensatorów, jednak w tej chwili chodzi nam tylko o ogólny obraz zjawisk). W modelu tym  $\epsilon$  jest przenikalnością elektryczną tlenku  $\epsilon_{\text{ox}}$ ,  $d$  jest grubością tlenku  $t_{\text{ox}}$ ,  $A$  jest powierzchnią bramki.

Tranzystory MOSFET mocy – w celu umożliwienia przewodzenia dużych prądów – składają się z bardzo dużej liczby przylegających do siebie elementarnych komórek. W wyniku tego sumaryczna powierzchnia bramki  $A$  jest znaczna. Dlatego wszelkie pojemności struktury osiągają na tyle znaczne wartości, że ich wpływ na działanie przyrządu jest widoczny i nie może być zaniedbany.

Przepływ ładunku do bramki i z powrotem to z definicji prąd elektryczny, przy czym prąd bramki  $i_G$ , dostarczony (lub odebrany) ładunek i czas (załączania  $t_{on}$ , wyłączania  $t_{off}$ ) łączy zależność

$$\Delta q_G = \int_{t_{on}} i_G dt = - \int_{t_{off}} i_G dt \quad (2.3)$$

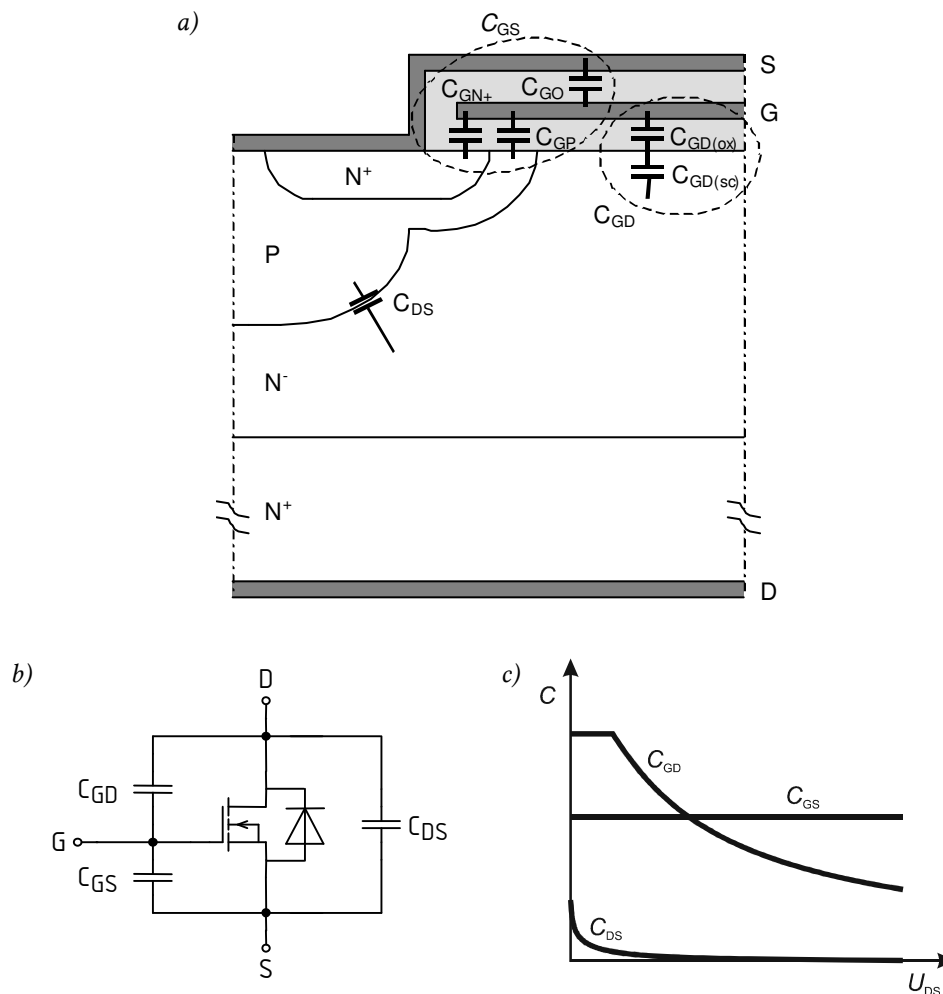
A więc chociaż o przyrządach polowych mówi się czasem, że są sterowane napięciowo, nie jest to do końca ściśle. Istotnie, obecność kanału przewodzącego wynika z przyłożenia napięcia między bramką a źródło. Jednak aby napięcie to mogło się pojawić, wymagane jest dostarczenie ładunku do pojemności bramka-półprzewodnik. Dlatego w stosunku do tranzystorów polowych mocy precyzyjniejsze jest stwierdzenie, że są one **sterowane napięciowo-ładunkowo**.

Mimo przepływu prądu bramki  $i_G$ , nie mówimy o sterowaniu prądowym. Mamy bowiem do czynienia z przepływem prądu w skończonym czasie. Zarówno amplituda, jak i czas przepływu prądu narzucone są przez całkę (2.3), której wartość zależy od pojemności struktury i napięcia sterującego (2.1). Tak więc prąd jest jedynie medium, za pomocą którego dostarczana jest faktyczna wielkość sterująca – ładunek.

## 2.3. Pojemności struktury VDMOS

### 2.3.a. Pojemności zastępcze struktury i schematu zastępczego

Pojemność między bramką a podłożem z tlenkiem w roli izolatora nie jest jedyną, której obecność uwidacznia się w działaniu tranzystora VDMOS (i innych polowych tranzystorów mocy). Dokładna analiza pojemności musiałaby być przeprowadzona w trzech wymiarach i uwzględniać wszelkie interakcje między poszczególnymi warstwami w każdym punkcie struktury. Dla zrozumienia zjawisk fizycznych i ich wpływu na działanie tranzystora wystarczy jednak analiza przybliżona, w której efekty pojemnościowe rozważamy na poziomie warstwa-warstwa, a nie punkt-punkt. Między każdymi dwoma warstwami, dla których efekty pojemnościowe są istotne, można więc wprowadzić pewną **pojemność zastępczą**, co przedstawia rys. 3a.



Rys. 3. Pojemności tranzystora MOSFET o konstrukcji VDMOS: a) umiejscowienie w strukturze; b) wielkosygnalowy schemat zastępczy tranzystora; c) typowa zależność od napięcia  $U_{DS}$

Pojemności te mają konkretne przełożenie na **wielkosygnalowy** (tj. stosowany przy dużej amplitudzie zmian potencjałów i prądów) **schemat zastępczy** tego przyrządu, przedstawiony na rys. 3b. Na schemacie tym z kolei wyróżnia się 3 pojemności – po jednej między każdą parą końcówek. Zależności między pojemnościami struktury a pojemnościami schematu zastępczego są następujące:

- 1) **pojemność bramka-źródło**  $C_{GS}$  to równoległe połączenie 3 pojemności między bramką a znajdującymi się pod nią obszarami N<sup>+</sup> ( $C_{GN+}$ ) i P ( $C_{GP}$ ) oraz między bramką a elektrodą źródła ( $C_{GO}$ );

- 2) **pojemność dren-źródło**  $C_{DS}$  jest pojemnością złącza  $PN^-$  podłoże-dren;
- 3) **pojemność bramka-dren**  $C_{GD}$  posiada dwie składowe o całkowicie różnym charakterze:
  - analogiczną do składowych pojemności  $C_{GS}$  – między bramką a znajdującym się pod nią obszarem  $N^-$  drenu,
  - oraz wynikającą z tworzenia się w obszarze  $N^-$  pod tlenkiem obszaru ładunku przestrzennego.

Pojemność  $C_{GD}$  nastęrcza największych trudności w analizie przełączania przyrządu, a to z trzech powodów:

- 1° przyjmuje stosunkowo duże wartości (względem pozostałych),
- 2° wykazuje silną, nieliniową zależność od napięcia  $U_{DS}$  (patrz rys. 3c),
- 3° związane jest z nią występowanie *efektu Millera*.

### 2.3.b. Pojemność bramka-źródło i zagadnienia ogólne

Wartość pojemności bramka-źródło  $C_{GS}$  – jako jedynej – jest niezależna od napięcia dren-źródło (patrz rys. 3c). Wynika to z faktu, że wszystkie jej składniki, połączone równolegle, przedstawiają **struktury typu kondensatora płaskiego** (z pewnymi nieregularnościami na brzegach) o stałych wszystkich parametrach występujących w zależności (2.2).

W teorii przyrządów półprzewodnikowych rozważa się zwykle **pojemności na jednostkę powierzchni**. Takie podejście pozwala na pozbycie się uciążliwego czynnika, który pojawiałby się w każdym wzorze, a nie wnosił nic do zrozumienia zjawisk fizycznych. Ze wzoru (2.2), dla wszystkich składników  $C_{GS}$  pojemność na jednostkę powierzchni wynosi (przy założeniu takiej samej grubości tlenku w każdym miejscu):

$$C_{GN+} = C_{GP} = C_{GO} = \frac{C}{A} = \frac{\epsilon_{ox}}{t_{ox}} \left[ \frac{F}{m^2} \right] \quad (2.4)$$

gdzie, jak poprzednio:  $\epsilon_{ox}$  – przenikalność elektryczna tlenku,  $t_{ox}$  – grubość tlenku.

Jak widać, fakt podawania pojemności na jednostkę powierzchni nie znajduje żadnego odzwierciedlenia w stosowanych powszechnie oznaczeniach. Należy o tym pamiętać. Przeznaczenie pojemności schematu zastępczego jest już inne – mają one charakteryzować konkretny przyrząd, a nie mikroskopowe zjawiska fizyczne. Dlatego też są one zawsze podawane w faradach.

Zasadniczo wszystkie pojemności tranzystora są rozważane jako **pojemności różniczkowe**. Nie są więc definiowane zależnością

$$C \stackrel{\Delta}{=} \frac{Q}{U} \quad (2.5)$$

z której uzyskano wzór (2.1), ale

$$C_d \stackrel{\Delta}{=} \frac{dq}{du} \quad (2.6)$$

Jest to zawsze wystarczające, gdyż pojemności wykorzystujemy wyłącznie do opisu zjawisk dynamicznych. Istotne są wówczas zmiany napięć związane z dopływem lub odpływem ładunków, a nie napięcia i ładunki jako takie (bezwzględne).

### 2.3.c. Pojemność dren-źródło

Pojemność dren-źródło  $C_{DS}$  odpowiada **pojemności złącza  $PN^-$  podłoże-dren**, a więc pojemności związanej z nieskompensowanym ładunkiem zjonizowanych domieszek w obszarze ładunku przestrzennego. Przy dodatnim napięciu dren-źródło (kierunek przewodzenia w obwodzie głównym), potencjał warstwy P (zwartej ze źródłem) jest ujemny względem warstwy  $N^-$ , a więc

złącze  $PN^-$  jest spolaryzowane w kierunku zaporowym. Tak więc obszar ładunku przestrzennego przy złączu może osiągnąć znaczną szerokość.

Ze względu na różnicę koncentracji domieszek, obszar ładunku przestrzennego rozciąga się praktycznie wyłącznie w warstwie  $N^-$ . Pionowe ułożenie obwodu mocy (patrz linia przepływu prądu na rys. 1d) powoduje, że obszar ten rozszerza się głównie w pionie. Przy tym sięga tym głębiej, im większe ujemne napięcie na diodzie podłożowej  $U_{SD}$  (czyli dodatnie napięcie na tranzystorze  $U_{DS}$ ).

Obszar ładunku przestrzennego jest pozbawiony nośników, zachowuje się więc jak izolator kondensatora. Ponieważ rozszerzenie obszaru ładunku przestrzennego odpowiada rozsunięciu okładek zastępczego kondensatora, więc pojemność w tym przypadku spadnie, co widać na rys. 3c.

Ilościowo opisuje to zależność

$$C_{DS} = \sqrt{\frac{e\epsilon_{Si}N_D}{2(\phi_d - U_{SD})}} = \sqrt{\frac{e\epsilon_{Si}N_D}{2(\phi_d + U_{DS})}} \quad (2.7)$$

gdzie  $C_{DS}$  – pojemność na jednostkę powierzchni złącza,  $e$  – ładunek elementarny,  $\epsilon_{Si}$  – przenikalność elektryczna krzemu,  $N_D$  – koncentracja domieszek w obszarze  $N^-$  drenu (rzędu  $10^{14} \text{ cm}^{-3}$ ),  $\phi_d$  – potencjał dyfuzyjny złącza. W temperaturze pokojowej  $\phi_d \approx 0,60 \text{ V}$ , a więc w stanie blokowania – kiedy  $U_{DS} \gg \phi_d$  – wpływ potencjału dyfuzyjnego jest zaniedbywalny i

$$C_{DS} = \sqrt{\frac{e\epsilon_{Si}N_D}{2U_{DS}}} \quad (2.8)$$

Dla zerowej polaryzacji dren-źródło pojemność  $C_{DS}$  jest stosunkowo duża, gdyż w mianowniku znajduje się wyłącznie niski potencjał dyfuzyjny. Przy napięciu  $U_{DS}$  ujemnym i dążącym do  $-\phi_d$ , wartość  $C_{DS}$  dążyłaby do nieskończoności. Fizycznie odpowiada to radykalnemu zwężeniu obszaru ładunku przestrzennego i przejściu złącza w stan przewodzenia.

### 2.3.d. Pojemność bramka-dren

Jak już wspomniano, pojemność bramka-dren  $C_{GD}$  jest silnie nieliniowa. Jej zależność od napięcia  $U_{DS}$  stanowi *de facto* odzwierciedlenie zależności od napięcia  $U_{GD}$ . Wspomnieliśmy również, że posiada ona dwie składowe.

Dla  $U_{DS} = 0$  mamy  $U_{GD} = U_{GS}$ , zaś zwykle  $U_{GS} \geq 0$ . W tym przypadku nie występują żadne szczególne zjawiska, dlatego obserwujemy tylko pierwszą składową  $C_{GD(ox)}$ , analogiczną do pojemności  $C_{GN+}$  i  $C_{GP}$ . Jest to pojemność **układu bramka-tlenek-półprzewodnik** (obszar  $N^-$  drenu). Można ją więc wyrazić wzorem (2.2):

$$C_{GD(ox)} = \frac{C}{A} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2.9)$$

Gdyby jednak potencjał bramki stał się niższy od potencjału drenu ( $U_{GD} < 0$ ), elektrony w obszarze  $N^-$  zaczęłyby być odpychane od bramki. Ze zjawiskiem tym, podobnie jak w przypadku tworzenia kanału, związane jest pewne (ujemne) napięcie progowe  $U_{GD(th)}$ , poniżej którego pod bramką w ogóle nie ma już swobodnych elektronów. W obszarze  $N^-$  przy granicy tlenku powstaje więc **obszar ładunku przestrzennego** sięgający tym głębiej, im większa nadwyżka  $U_{GD}$  nad  $U_{GD(th)}$ .

Tym samym między bramką a drenem pojawia się dodatkowy izolator o zmiennej grubości, czyli dodatkowy, szeregowo włączony kondensator. Jego pojemność na jednostkę powierzchni wyraża się zależnością

$$C_{GD(sc)} = \sqrt{\frac{e\epsilon_{Si}N_D}{2|U_{GD} - U_{GD(th)}|}} \quad (2.10)$$



Występowanie ładunku przestrzennego pod bramką jest zjawiskiem korzystnym dla stanu blokowania. Dzięki niemu pole elektryczne wynikające ze wstecznej polaryzacji złącza PN<sup>-</sup> nie dochodzi do powierzchni krzemu. Tymczasem, jak wiadomo, największe trudności z uzyskaniem wysokiej wytrzymałości napięciowej występują właśnie na granicach płytki krzemowej.

Warunek  $U_{GD} < U_{GD(th)}$  jest równoważny warunkowi  $U_{DS} > U_{GS} - U_{GD(th)}$ . W tym właśnie punkcie charakterystyka  $C_{GD} = f(U_{DS})$  [rys. 3c] zaczyna wykazywać zależność od potencjałów końcówek tranzystora. Po podstawieniu  $U_{GD} = U_{GS} - U_{DS}$  i uwzględnieniu, że  $U_{GD} - U_{GD(th)} < 0$  (gdyż  $U_{GD} < U_{GD(th)} < 0$ ), zależność (2.10) można zapisać w postaci

$$C_{GD(sc)} = \sqrt{\frac{e\epsilon_{Si}N_D}{2(U_{DS} - U_{GS} + U_{GD(th)})}} \quad (2.11)$$

Wypadkowa pojemność bramka-dren na jednostkę powierzchni wynosi więc (ze wzoru na pojemność połączenia szeregowego)

$$C_{GD} = \begin{cases} C_{GD(ox)} & \text{dla } U_{DS} \leq U_{GS} - U_{GD(th)} \\ \left(C_{GD(ox)}^{-1} + C_{GD(sc)}^{-1}\right)^{-1} & \text{dla } U_{DS} > U_{GS} - U_{GD(th)} \end{cases} \quad (2.12)$$

przy czym należy pamiętać, że  $U_{GD(th)} < 0$ . Przebieg wynikowej charakterystyki jest przedstawiony na rys. 3c.

### 2.3.e. Parametry katalogowe

Producenci przyrządów z reguły nie podają wartości poszczególnych pojemności międzykońcówkowych, tym bardziej, że – jak wynika z rys. 3c – mogą się one zmieniać w zależności od polaryzacji tranzystora. Zamiast tego, w katalogach umieszcza się 3 parametry zamieszczone w tab. 1. Należy zwrócić uwagę, że z każdym z nich związane są specyficzne warunki pomiaru. Producenci niekiedy wykazują odstępstwa od tych warunków (niezgodnie z definicją parametrów), np. wyznaczając wszystkie parametry dla tych samych wartości  $U_{GS}$  i  $U_{DS}$ .

Symbol pojemności tworzy się w następujący sposób:

- pierwsza litera oznacza końcówkę, do której odnosi się parametr: I – wejście (ang. *input*), O – wyjście (*output*), R – sprzężenie zwrotne (*reverse transfer*);
- druga litera oznacza końcówkę wspólną;
- trzecia litera oznacza stan trzeciej końcówki względem wspólnej: O – rozwarta (*open*), S – zwarta (*shorted*), R – zwarta przez rezystancję (*resistance*), V – spolaryzowana napięciem (*voltage*).

Spójrzmy na rys. 3b i zwróćmy uwagę, że:

- 1) gdy dren jest zwarty do źródła, między końcówkami G i S występuje równoległe połączenie pojemności  $C_{GS}$  i pojemności  $C_{GD}$ , która przyjmuje swoją maksymalną wartość ze względu na  $U_{DS} = 0$  (patrz rys. 3c), stąd

$$C_{iss} = C_{GS} + C_{GD(max)} \quad (2.13)$$

- 2) gdy bramka jest zwarta do źródła, między końcówkami D i S występuje równoległe połączenie pojemności  $C_{DS}$  i pojemności  $C_{GD}$  (dla danego  $U_{DS}$ ), stąd

$$C_{iss} = C_{DS}(U_{DS}) + C_{GD}(U_{DS}) \quad (2.14)$$

- 3) pojemność  $C_{rss}$  odpowiada pojemności  $C_{GD}$  w danych warunkach polaryzacji ( $U_{GD} = U_{GS} - U_{DS}$ ).

Tab. 1. Katalogowe pojemności tranzystorów MOSFET mocy

Nazwa pojemności	Symbol	Końcówki pomiarowe	Warunki wyznaczania	Pojemności schematu zastępczego
Wejściowa <i>Input</i>	$C_{iss}$	G-S	D i S zwarte ustalone $U_{GS}$	$C_{GS} + C_{GD(max)}$
Wyjściowa <i>Output</i>	$C_{oss}$	D-S	G i S zwarte ustalone $U_{DS}$	$C_{DS} + C_{GD}$
Prześciowa sprzężenia zwrotnego <i>Reverse transfer</i>	$C_{rss}$	G-D	ustalone $U_{GS}$ ustalone $U_{DS}$	$C_{GD}$

## 2.4. Wpływ pojemności na stany dynamiczne

### 2.4.a. Analizowany układ pracy

Przeanalizujemy załączanie tranzystora MOSFET mocy w najprostszej konfiguracji pracy, jaką jest tzw. **łącznik dolny** (ang. *low-side switch*). W konfiguracji tej pojedynczy łącznik półprzewodnikowy włączony jest w szereg z odbiornikiem i źródłem energii elektrycznej  $U_{DD}$  w taki sposób, że znajduje się na niższym potencjale niż odbiornik (rys. 4a). Przyjmijmy też dla prostoty rozważań, że obciążenie ma charakter czysto rezystancyjny (opornik  $R_L$ ). Sterowanie tranzystora realizowane jest za pośrednictwem źródła napięcia zmiennego  $u_g$  o kształcie prostokątnym.

Rozważanie trzech osobnych pojemności komplikuje analizę przełączania. Dlatego często korzysta się z uproszczenia obwodu wejściowego przedstawionego na rys. 5. Zawiera on tylko jedną pojemność, zwaną **pojemnością wejściową** (ang. *input capacitance*) i oznaczaną  $C_{in}$ . Pojemność wejściowa definiowana jest jako pojemność zastępcza (zastępująca wszystkie fizycznie występujące pojemności) o takiej wartości, że nadal spełnione będzie równanie (2.1), które można tu przedstawić w postaci

$$q_G = C_{in} u_{GS} \quad (2.15)$$

Wartość tę wyznaczymy w toku analizy; jak się okaże, nie jest ona stała.

Przebiegi prądu i napięć w rozważanym układzie przedstawiono (oczywiście w uproszczeniu) na rys. 4b. W procesie załączania można na nich wyróżnić trzy zasadnicze etapy, które za chwilę przeanalizujemy.

Rys. 4c przedstawia charakterystyki statyczne tranzystora wraz z naniesioną **prostą pracy** analizowanego obwodu. Odpowiada ona, jak wiadomo, napięciowemu prawu Kirchhoffa

$$U_{DS} = U_{DD} - I_D R_L \quad (2.16)$$

Podstawiając  $I_D = 0$  otrzymujemy  $U_{DS} = U_{DD}$ , zaś dla  $U_{DS} = 0$ :  $I_D = U_{DD}/R_L$ , które to punkty wyznaczają prostą. Nachylenie prostej pracy wynosi, jak widać z powyższego wzoru,  $-1/R_L$ . Kolejne punkty zaznaczone na prostej pracy dla stanu załączania wiążą rys. 4c i 4b w dziedzinie czasu.

Wartość  $U_{DD}/R_L$  oznaczono przez  $I_{D(ON)id}$ , co oznacza prąd załączonego tranzystora przy założeniu, że jest on łącznikiem idealnym. Rezystancja takiego łącznika wynosi 0, stanowi on więc zwarcie, a wówczas prąd w obwodzie wynika z prawa Ohma i samej tylko rezystancji odbiornika  $R_L$ . W rzeczywistości, z powodu dodatkowej rezystancji dren-źródło w stanie załączenia  $R_{DS(on)}$ , w obwodzie popłynie pewien mniejszy prąd

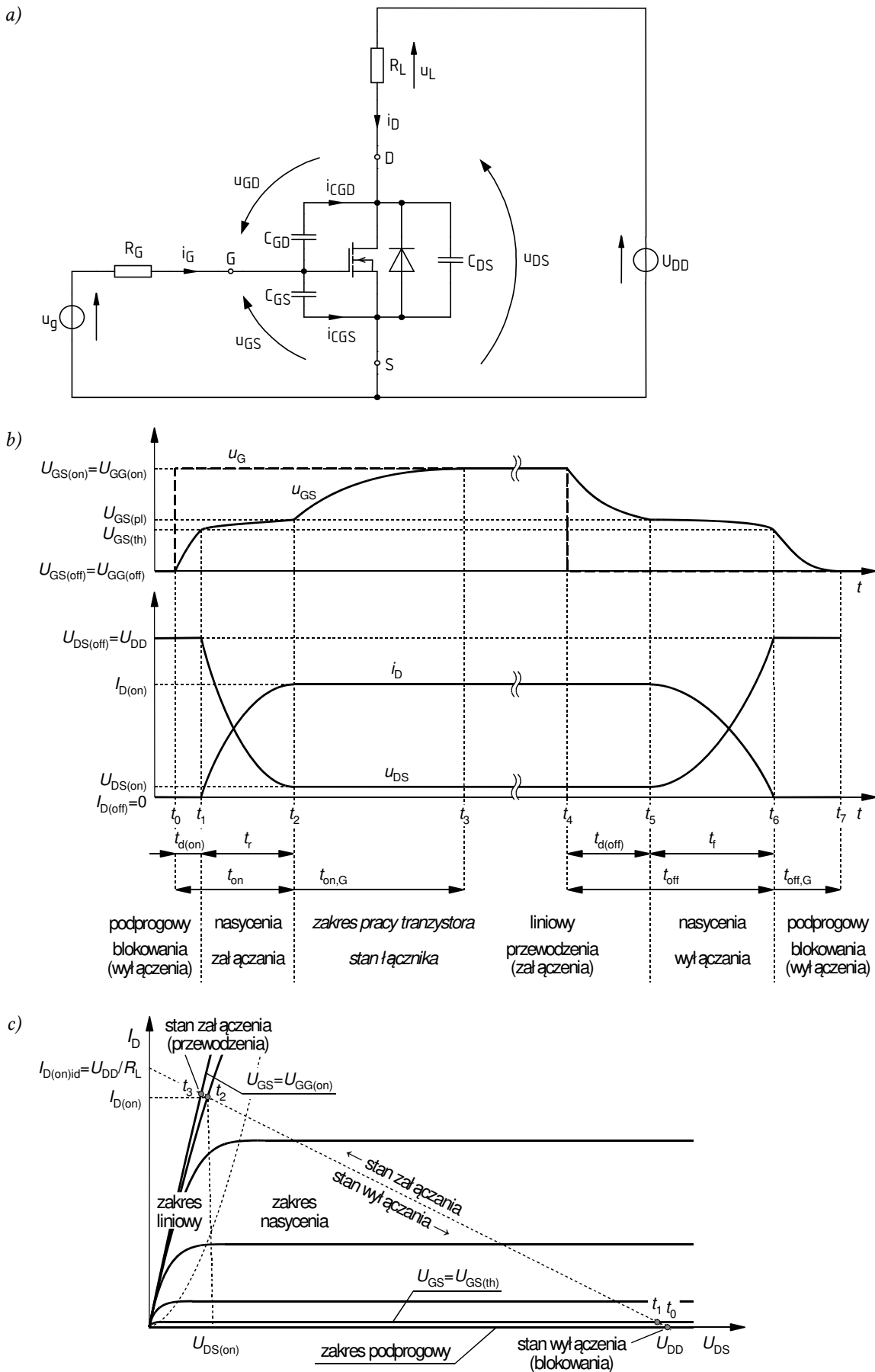
$$I_{D(ON)} = \frac{U_{DD} - U_{DS(on)}}{R_L} = \frac{U_{DD} - I_D R_{DS(on)}}{R_L} \Rightarrow I_{D(ON)} = \frac{U_{DD}}{R_L + R_{DS(on)}} \quad (2.17)$$

Konstrukcja prostej pracy pozwala łatwo go wyznaczyć metodą graficzną.

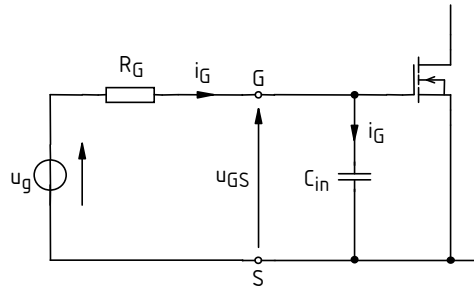
### 2.4.b. Etap 1 – opóźnienie załączania

Początkowo ( $t \leq t_0$ ) napięcie sterujące bramka-źródło jest równe 0. W związku z tym w strukturze nie istnieje kanał, a więc warstwy  $N^+$  źródła i  $N^-$  drenu są rozdzielone warstwą o przeciwnym typie przewodnictwa (podłoże P). Dlatego brak możliwości przepływu prądu, co oznacza wyłączenie tranzystora. Ten zakres pracy na płaszczyźnie statycznych charakterystyk wyjściowych nazywa się **zakresem podprogowym** (ang. *sub-threshold region*).

Można przyjąć, że rezystancja tranzystora (dren-źródło) w stanie wyłączenia  $R_{DS(off)} = \infty$ , stąd  $I_{D(off)} = 0$  – prąd nie płynie, obwód mocy jest rozarty. Z napięciowego prawa Kirchhoffa (2.16), a także z prostej analizy schematu wynika, że między drenem a źródłem występuje pełne napięcie zasilania  $U_{DD}$ .



Rys. 4. Tranzystor VDMOS w układzie łącznika dolnego z obciążeniem rezystancyjnym: a) schemat elektryczny; b) przebiegi podczas przełączania; c) prosta pracy na tle statycznych charakterystyk wyjściowych (wykres bez zachowania skali czasu i  $U_{GS}$  – w rzeczywistości, zgodnie z rys. b, punkty  $t_0$  i  $t_1$  oraz  $t_2$  i  $t_3$  niemal się pokrywają)



Rys. 5. Model obwodu wejściowego tranzystora VDMOS z zastępczą pojemnością wejściową

W chwili  $t_0$  źródło sterujące  $u_g$  generuje impuls napięcia o amplitudzie  $U_{GG(on)} > U_{GS(th)}$  i pewnym czasie trwania  $t_p$  dłuższym od czasu załączania tranzystora  $t_{on}$ . W czasie  $t_0 - t_1$  pojemność wejściowa  $C_{in}$  tranzystora ładuje się ze źródła  $u_g$  poprzez opornik  $R_G$  (por. rys. 5). Napięcie bramka-źródło narasta więc wykładniczo do wartości wymuszonej  $U_{GS(on)} = U_{GG(on)}$  ze stałą czasową obwodu bramki  $\tau_G$ :

$$u_{GS} = U_{GG(on)} \left(1 - e^{-t/\tau_G}\right) \quad (2.18)$$

$$\tau_G = R_G C_{in} \quad (2.19)$$

Dopóki napięcie  $u_{GS}$  ma wartość mniejszą od progowej  $U_{GS(th)}$ , kanał nadal nie istnieje. Przez przyrząd nadal **nie płynie prąd** i jego punkt pracy nie przesuwa się.

Spróbujmy obliczyć zastępczą pojemność wejściową  $C_{in}$  w tym etapie. Skorzystajmy w tym celu ze znanego równania pojemności, które można otrzymać różniczkując równość (2.15) i uwzględniając, że prąd stanowi pochodną ładunku:

$$i_G = \frac{dq_G}{dt} = C_{in} \frac{du_{GS}}{dt} \quad (2.20)$$

Jak widać na rys. 4a,

$$i_G = i_{CGS} + i_{CGD} = C_{GS} \frac{du_{GS}}{dt} + C_{GD} \frac{du_{GD}}{dt} \quad (2.21)$$

Aby uzyskać wzór postaci (2.20), należałoby móc wyciągnąć przed nawias wyraz  $du_{GS}/dt$ . W tym celu uzależnimy  $du_{GD}$  (zmianę napięcia na pojemności  $C_{GD}$ ) od  $du_{GS}$  (zmiany napięcia na wejściu, czyli na pojemności  $C_{GS}$ ). Zauważmy, że

$$u_{GD} = u_{GS} - u_{DS} \quad (2.22)$$

a ponieważ  $u_{DS}$  w tej fazie załączania pozostaje stałe, więc  $du_{DS} = 0$  i

$$du_{GD} = du_{GS} - du_{DS} = du_{GS} \quad (2.23)$$

W tym momencie  $u_{DS} > u_{GS}$ , więc napięcie  $u_{GD}$  jest ujemne. Jego wzrost o dodatnią wartość  $du_{GD} = du_{GS}$  oznaczać będzie spadek jego wartości bezwzględnej, czyli rozładowanie pojemności  $C_{GD}$ .

Uwzględniając powyższy wynik,

$$i_G = C_{GS} \frac{du_{GS}}{dt} + C_{GD} \frac{du_{GS}}{dt} = (C_{GS} + C_{GD}) \frac{du_{GS}}{dt} \quad (2.24)$$

Porównanie powyższego z zależnością (2.20) daje nam wzór na wypadkową pojemność tranzystora widzianą od strony wejścia, tj. zastępczą pojemność wejściową:

$$C_{in} = C_{GS} + C_{GD} \Big|_{U_{DS}=U_{DD}} \quad (2.25)$$

#### 2.4.c. Etap 2 – właściwe załączanie

W chwili  $t_1$  napięcie  $u_{GS}$  **przekracza wartość napięcia progowego**  $U_{GS(th)}$ . Pod bramką tworzy się kanał, a więc w tranzystorze powstaje ścieżka dla ruchu elektronów na drodze (patrz rys. 1d): elektroda S – obszar  $N^+$  źródła – obszar N kanału (warstwa inwersyjna w podłożu P) – obszar  $N^-$  drenu – obszar  $N^+$  drenu – elektroda D. Rezystancja kanału spada ze wzrostem napięcia  $u_{GS}$ , co przekłada się na spadek całkowitej rezystancji  $R_{DS(on)}$ , w wyniku czego prąd drenu  $i_D$  rośnie zgodnie z zależnością (2.17). Oznacza to, że punkt pracy tranzystora przesuwa się (po prostej pracy – patrz rys. 4c) do góry i przyrząd wchodzi w **zakres nasycenia** (ang. *saturation region*).

Wzrost prądu drenu łączy ze wzrostem napięcia wejściowego parametr zwany **transkonduktancją** (ang. *transconductance*) – w tym wypadku w układzie wspólnego źródła  $g_{fs}$  (indeks „f” od ang. *forward*, „s” od *source*):

$$g_{fs} = \frac{\Delta i_D}{\Delta u_{GS}} \quad (2.26)$$

Ponieważ wzrost prądu powoduje wzrost napięcia odłożonego na rezystancji  $R_L$ , to napięcie  $u_{DS}$  musi jednocześnie spaść o taką samą wartość, co odzwierciedla ruch punktu pracy po prostej pracy w lewo. Proces ten trwa do chwili  $t_2$ .

Utworzenie ścieżki prądowej między źródłem a drenem uwarunkowane jest nie tylko utworzeniem kanału, ale także znaczącą redukcją obszaru ładunku przestrzennego w warstwie  $N^-$ . Przy dużym napięciu blokowania posiada on znaczące rozmiary (w skrajnym przypadku wypełnia całą warstwę  $N^-$ ), a występujące w nim pole elektryczne przeciwdziała przewodzeniu prądu. Proces zmniejszenia szerokości obszaru ładunku przestrzennego odzwierciedlony jest na schemacie zastępczym przez przeładowanie pojemności  $C_{DS}$  spowodowane z jednej strony znaczącym zmniejszeniem napięcia  $u_{DS}$ , a z drugiej – zwiększeniem pojemności wskutek zwięźnienia obszaru nieprzewodzącego (patrz par. 2.3.c). Pojemność ta ma jednak wartość mniejszą od pozostałych (co fizycznie odpowiada dużej szybkości przepływu nośników większościowych), dlatego to **obwód sterowania nadal dyktuje szybkość przełączania**. W dalszych rozważaniach wpływ pojemności  $C_{DS}$  zostanie zaniedbany.

#### 2.4.d. Napięcie wejściowe tranzystora w etapie 2

Na rys. 4b nietrudno zauważyć, że od chwili  $t_1$  **stała czasowa** narastania napięcia bramka-źródło **znacznie się zwiększa**. Aby wyjaśnić genezę tego zjawiska, spróbujemy ponownie opisać obwód wejściowy równaniem postaci (2.20).

Wyjdźmy od zawsze słusznej zależności (2.21). W układzie zaszła jednak istotna zmiana – pojawił się zmienny w czasie prąd  $i_D$ . Powoduje to, że musimy na nowo obliczyć zmianę napięcia bramka-dren  $du_{GD}$ . Wychodząc z (2.22) mamy

$$du_{GD} = du_{GS} - du_{DS} \quad (2.27)$$

jednak obecnie napięcie  $u_{DS}$  zmienia się, więc  $du_{DS} \neq 0$ . Z napięciowego prawa Kirchhoffa (2.16)

$$u_{DS} = U_{DD} - i_D R_L$$

stąd

$$du_{DS} = d(U_{DD} - i_D R_L) = 0 - d(i_D R_L) = -R_L \cdot di_D \quad (2.28)$$

gdyż  $U_{DD}$  i  $R_L$  są stałe. Podstawiając  $di_D$  z zależności (2.26), mamy

$$du_{DS} = -g_{fs} R_L du_{GS} \quad (2.29)$$

więc z równości (2.27) i (2.21)

$$du_{GD} = du_{GS} + g_{fs} R_L du_{GS} = (1 + g_{fs} R_L) \cdot du_{GS} \quad (2.30)$$

$$\begin{aligned} i_G &= C_{GS} \frac{du_{GS}}{dt} + C_{GD} \frac{du_{GD}}{dt} = C_{GS} \frac{du_{GS}}{dt} + C_{GD} \cdot (1 + g_{fs} R_L) \cdot \frac{du_{GS}}{dt} = \\ &= [C_{GS} + C_{GD}(1 + g_{fs} R_L)] \frac{du_{GS}}{dt} \end{aligned} \quad (2.31)$$

Otrzymaliśmy wynik odmienny od zależności (2.24). Nie mogliśmy już bowiem napisać, że  $du_{GD} = du_{GS}$ . Równość (2.29) mówi jasno, że jest to związane z **działaniem tranzystora jako wzmacniacza**: zmiana napięcia na wejściu powoduje proporcjonalną zmianę napięcia na wyjściu.

W efekcie napięcie  $u_{GD}$  zmienia się bardziej niż zmienia się napięcie  $u_{GS}$ , co wyraża zależność (2.30). Fizyczny skutek tego jest bardzo prosty. Zawsze prawdziwej (bo definicyjnej) zależności (2.6)

$$dq_{GD} = C_{GD} du_{GD} \quad (2.32)$$

W etapie 1, biorąc pod uwagę (2.23),

$$dq_{GD} = C_{GD} du_{GS} \quad (2.33)$$

Równość ta mówi, jak duży ładunek należy dostarczyć do pojemności  $C_{GD}$ , jeżeli napięcie wejściowe tranzystora zmieniło się o  $du_{GS}$ .

Natomiast w etapie 2, biorąc pod uwagę (2.30),

$$dq_{GD} = (1 + g_{fs} R_L) C_{GD} du_{GS} \quad (2.34)$$

a więc **taka sama zmiana napięcia wymaga dostarczenia większego ładunku**. Biorąc pod uwagę zależność (2.3), wymaga to większego prądu lub dłuższego czasu ładowania. Jednak w rozważanym przypadku prąd wejściowy  $i_G$  spada w miarę postępu załączania (wynika to z faktu, że natężenie tego prądu wymuszone jest przez różnicę potencjałów na oporniku  $R_G$ , ta zaś na pewno zmniejsza się z upływem czasu, gdyż  $U_{GG(on)} = \text{const}$ , a  $u_{GS}$  rośnie). W związku z tym jedynym możliwym skutkiem jest spowolnienie ładowania – co jest widoczne na rys. 4b.

#### 2.4.e. Efekt Millera

Obserwator widzący samo tylko wejście tranzystora zakłada, że z bramką związana jest tylko jedna pojemność, występująca między bramką a źródłem. Prąd wejściowy tranzystora można więc powiązać ze zmianą napięcia wejściowego zgodnie z równaniem tej (hipotetycznej) pojemności (2.20).

Tymczasem w rzeczywistości z bramką związane są dwie pojemności  $C_{GS}$  i  $C_{GD}$ , z których druga nie jest podłączona bezpośrednio do źródła tranzystora. Prąd bramki posiada dwie składowe opisane równością (2.21). W sytuacji, gdy tranzystor wykazuje działanie wzmacniacza, równości tej nie można już uprościć do (2.24), gdyż pochodne obu napięć po czasie są różne. Nie uzyskuje się więc bezpośrednio zależności postaci (2.20), w której prąd wejściowy jest proporcjonalny do zmiany napięcia wejściowego.

Jednakże uwzględnienie interakcji wejście-wyjście ogromnie komplikuje analizę obwodu sterowania tranzystorów polowych. Byłoby więc korzystne, gdyby udało się powrócić do modelu hipotetycznej pojemności wejściowej  $C_{in}$  włączonej między końcówki obwodu sterowania

tranzystora (bramkę i źródło). Umożliwiłoby to stosowanie równości (2.20) i traktowanie obwodu sterowania jako jednej prostej pętli złożonej z elementów  $u_g$ ,  $R_G$  i  $C_{in}$ .

Okazuje się, że jest to możliwe. Wystarczy porównać prawe strony równości (2.31) i (2.20), a otrzymuje się

$$C_{in} = C_{GS} + C_{GD}(1 + g_{fs}R_L) = C_{GS} + C_{GD}\left(1 - \frac{du_{DS}}{du_{GS}}\right) = C_{GS} + C_{GD}(1 - g_u) \quad (2.35)$$

przy czym druga postać zależności wynika z uwzględnienia (2.29), zaś  $g_u$  oznacza (ujemne) wzmocnienie napięciowe tranzystora

$$g_u = \frac{du_{DS}}{du_{GS}} \quad (2.36)$$

Porównując wzór (2.35) z (2.25) widzimy, że pojemność sprzężenia wejście-wyjście  $C_{GD}$  rozpatrywana jako składnik pojemności wejściowej uległa zwiększeniu o  $g_{fs}R_L$  (lub o  $|g_u|$ ) swojej wartości. Efekt ten nazywany jest **efektem Millera** (ang. *Miller effect*) lub **millerowską multiplikacją pojemności**. Pojemność  $C_{GD}(1+g_u)$  nazywa się **pojemnością millerowską** (ang. *Miller capacitance*) i mówi się, że pojemność  $C_{GD}$  pojawia się na wejściu zmnożona, tj. zwielokrotniona przez czynnik  $(1+g_u)$ .

Należy pamiętać, że wzór (2.35) opisuje **wirtualną pojemność** włączoną między zaciski wejściowe tranzystora. Fizyczna pojemność (a przynajmniej jeden z jej składników) nie jest tak włączona, a jej wartość nie ulega multiplikacji.

Odwołując się do wirtualnego efektu Millera, **obwód sterowania można nadal rozpatrywać jako szeregowe połączenie** źródła napięcia  $u_g$ , rezystancji  $R_G$  i pojemności wejściowej tranzystora  $C_{in}$  wyrażonej wzorem (2.35). W ten sposób spowolnienie narastania napięcia  $u_{GS}$  w etapie 2 załączania można łatwo wytłumaczyć zwiększeniem stałej czasowej obwodu bramki  $\tau_G$  (2.19), wynikającym z millerowskiej multiplikacji pojemności  $C_{GD}$ .

Ostatecznie pojemność wejściowa tranzystora  $C_{in}$  w fazie  $t_1-t_2$  jest większa niż w fazie  $t_0-t_1$  z **dwóch powodów**:

- 1° wirtualnego wzrostu pojemności  $C_{GD}$  widzianej na wejściu, co opisuje efekt Millera, oraz
- 2° rzeczywistego wzrostu pojemności  $C_{GD}$  w wyniku zmniejszenia napięcia  $u_{DS}$ , zgodnie z rys. 3c i w wyniku działania mechanizmu fizycznego opisanego w paragrafie 2.3.d.

#### 2.4.f. Etap 3 – ustalenie stanu obwodu bramki

W chwili  $t_2$  tranzystor wyszedł już z zakresu nasycenia i znajduje się w **zakresie liniowym** (ang. *linear region*). Jak widać na wykresie charakterystyk statycznych, w tym stanie pracy dalsze zmiany napięcia  $u_{GS}$  nie powodują już znaczącego zmniejszenia rezystancji przyrzędu, a co za tym idzie – znaczącego wzrostu prądu drenu. Dlatego przyjmuje się, że ma on odtąd stałą wartość równą pełnemu prądowi obciążenia  $I_{D(on)}$  zgodnie ze wzorem (2.17). Przy tym założeniu transkonduktancja (2.26) jest zerowa, zaś napięcie  $u_{DS}$  utrzymuje się na stałym poziomie  $U_{DS(on)}$  wynikającym z wartości prądu  $I_{D(on)}$  i napięcia  $u_{GS}$ . Zasadniczo tranzystor jest już **w pełni załączony**.

Napięcie  $u_{GS}$  wciąż jednak narasta, gdyż w chwili  $t_2$  było nadal niższe od wartości wymuszonej przez źródło  $u_g$ ,  $U_{GS(on)} = U_{GG(on)}$ . W związku ze zmianą potencjału bramki, zachodzi oczywiście dalsze przeladowywanie pojemności  $C_{GS}$  i  $C_{GD}$ . Jak widać na przebiegu  $u_{GS}$  – porównując szybkość narastania – pojemność wejściowa jest obecnie większa niż w fazie  $t_0-t_1$ , lecz mniejsza niż w fazie  $t_1-t_2$ . Wyraża się ona wzorem (2.35), gdzie  $C_{GD}$  jest duże z powodu niskiego napięcia  $u_{DS}$ , jednak transkonduktancja  $g_{fs} \approx 0$ , a więc składnik związany z efektem Millera można pominąć:

$$C_{in} = C_{GS} + C_{GD}|_{U_{DS(on)}} \quad (2.37)$$



Biorąc pod uwagę oba obwody tranzystora (wejściowy i wyjściowy), **proces załączania kończy się** dopiero z chwilą osiągnięcia przez napięcie  $u_{GS}$  poziomu stałego  $U_{GG(on)}$ , co ma miejsce w chwili  $t_3$ . Ponieważ rezystancja kanału zawsze spada (choć obecnie już nieznaczająco) ze wzrostem napięcia  $u_{GS}$ , więc w rzeczywistości między chwilą  $t_2$  a  $t_3$  następuje lekkie zmniejszenie napięcia  $U_{DS(on)}$  i lekkie zwiększenie prądu  $I_{D(on)}$  zgodnie z zależnością (2.17), co widać na rys. 3c.

#### 2.4.g. Wyłączenie

Wyłączenie tranzystora polowego mocy związane jest z **rozładowaniem pojemności wejściowej**, tzn. odprowadzeniem z niej ładunku poprzez przepływ wstecznego prądu bramki  $i_G$  (w kierunku od bramki do źródła). W tym celu w chwili  $t_4$  źródło  $u_g$  wymusza na powrót niskie napięcie  $U_{GG(off)}$  (w rozważanym przykładzie równe 0).

W wyniku takiej zmiany wymuszenia, rozpoczyna się wykładnicze opadanie napięcia  $u_{GS}$  do wartości  $U_{GS(off)} = U_{GG(off)}$ . Do chwili  $t_5$  likwidowana jest nadwyżka napięcia bramka-źródło. W tym czasie – analogicznie do fazy  $t_2-t_3$  – ani prąd drenu, ani napięcie dren-źródło nie zmieniają się znacząco. Pojemność wejściowa jest stała, określona wzorem (2.37).

W chwili  $t_5$  tranzystor wychodzi z zakresu liniowego i prąd zaczyna silnie zależeć od napięcia bramka-źródło. Siła tej zależności ponownie wynika z transkonduktancji tranzystora  $g_{fs}$ . Napięcie  $u_{DS}$ , związane z prądem  $i_D$  przez napięciowe prawo Kirchhoffa (2.16), narasta w miarę opadania prądu. W wyniku zmiany napięcia na wyjściu, zwiększa się pojemność sprzężenia wejście-wyjście  $C_{GD}$  widziana na wejściu [efekt Millera, wzór (2.35)], więc napięcie  $u_{GS}$  opada bardzo powoli.

W chwili  $t_6$  napięcie bramka-źródło osiąga wartość progową  $U_{GS(th)}$ , w związku z czym zanika kanał. Prąd drenu przestaje więc płynąć, a skoro  $i_D = 0 = \text{const}$ , to również napięcie  $u_{DS}$  ustala się – oczywiście na wartości  $U_{DD}$ , co wynika z napięciowego prawa Kirchhoffa. Ponieważ  $U_{GS(off)} < U_{GS(th)}$ , więc w czasie od  $t_6$  do  $t_7$  musi nastąpić dalsze rozładowanie pojemności wejściowej do napięcia  $U_{GG(off)}$ . Wartość pojemności wejściowej wyraża się w tym przedziale czasu wzorem (2.25).

#### 2.4.h. Parametry pojemnościowe a praktyka projektowa

Porównanie zależności (2.25), (2.35) i (2.37) prowadzi do niezwykle istotnego wniosku z punktu widzenia projektowania obwodu bramki. Brzmi on: **pojemność wejściowa tranzystora polowego mocy w trakcie jego przełączania zmienia się i przez większość czasu jest dużo większa od katalogowej pojemności wejściowej  $C_{iss}$** . Skoro tak, to katalogowy parametr  $C_{iss}$  nie może służyć do obliczenia ładunku ze wzoru (2.1) przez proste podstawienie  $C_{G(eff)} = C_{iss}$ . Obliczony ładunek konieczny do załączenia przyrządu byłby bowiem zaniżony. To zaś może spowodować wadliwą pracę układu.

Nie znaczy to jednak, że katalogi są w projektowaniu nieprzydatne. Producenci podają bowiem inne informacje, na których projektant powinien się oprzeć. Największe znaczenie mają tu wyniki testu zwanego **atakiem prądowym**.

Atak prądowy (ang. *gate charge characteristic* ‘charakterystyka ładunku bramki’) został szczegółowo opisany w literaturze [1]. Ogólnie rzecz ujmując, polega on na doprowadzeniu do załączenia tranzystora w specjalnym układzie pomiarowym, dzięki któremu na przebiegu napięcia wejściowego  $u_{GS}$  można wyróżnić trzy odcinki takie, że czas trwania każdego z nich jest proporcjonalny do innego składnika całkowitego ładunku doprowadzonego do bramki  $Q_G$ . Dzięki tej proporcjonalności, oś czasu można przeskalować na kulomby.

Uzyskuje się w ten sposób praktyczny wykres, z którego łatwo można odczytać, jaki ładunek musi być doprowadzony do bramki tranzystora w celu jego załączenia (i odprowadzony w celu wyłączenia). Charakterystyka ta zostanie w podstawowym zakresie wykorzystana w ćwiczeniu 7.

## 2.5. Dynamiczne parametry czasowe tranzystorów MOSFET mocy

### 2.5.a. Definicje fizyczne

Najistotniejszymi cechami przyrządu półprzewodnikowego mocy w stanach dynamicznych są **szybkość załączania i szybkość wyłączenia**. Wynika to z faktu, że w większości aplikacji przyrządy półprzewodnikowe mocy pracują jako łączniki przełączane między stanem załączenia i wyłączenia. Jedną z cech dobrego łącznika jest zaś zdolność do szybkiej zmiany stanu.

Na rys. 4b zaznaczono 6 charakterystycznych odcinków czasu, jakie wyróżnia się podczas załączania i wyłączania każdego tranzystora. Definicje dla poszczególnych rodzajów tranzystorów mogą się różnić – rysunek przedstawia definicję właściwą dla tranzystorów MOSFET. Długości tych odcinków stanowią zarazem **podstawowe parametry czasowe** tranzystora:

- 1) **czas opóźnienia przy załączaniu**  $t_{d(on)}$  (ang. *turn-on delay time*) – to czas między zmianą wymuszenia w obwodzie sterowania (bramki) a pojawieniem się odpowiedzi w obwodzie głównym (drenu);
- 2) **czas narastania**  $t_r$  (ang. *rise time*) – to czas ustalenia się odpowiedzi na wyjściu, przy czym nazwa „czas narastania” odnosi się ze względów historycznych do prądu, jednakże dla tranzystorów MOSFET określa on *de facto* szybkość opadania napięcia;

Pierwszym wynalezionym tranzystorem był tranzystor bipolarny złączowy (BJT), dla którego szybkość przełączania jest narzucana przez napływ nośników mniejszościowych do bazy, co uwidacznia się w wolniejszym lub szybszym narastaniu prądu głównego. Dlatego też odpowiedni parametr przy załączaniu nazwano „czasem narastania”. W tranzystorach unipolarnych zachodzą inne zjawiska fizyczne, objawiające się w szybszym lub wolniejszym narastaniu napięcia głównego. Odpowiednio zmieniono więc definicję tego parametru, jednak dla spójności danych podawanych w katalogach, jego nazwę i oznaczenie pozostawiono bez zmian. Analogiczną genezę ma czas opadania  $t_f$ .

- 3) **czas opóźnienia przy wyłączeniu**  $t_{d(off)}$  (ang. *turn-off delay time*) – to czas między zmianą wymuszenia w obwodzie sterowania a pojawieniem się odpowiedzi w obwodzie głównym;
- 4) **czas opadania**  $t_f$  (ang. *fall time*) – to czas ustalenia się odpowiedzi na wyjściu, dla tranzystorów MOSFET określający szybkość narastania napięcia.

Niekiedy wygodniej jest korzystać z parametrów sumarycznych:

- 5) **czas załączania**  $t_{on}$  (ang. *turn-on time*) stanowi sumę czasu opóźnienia przy załączaniu i czasu narastania

$$t_{on}^{\Delta} = t_{d(on)} + t_r \quad (2.38)$$

- 6) **czas wyłączenia**  $t_{off}$  (ang. *turn-off time*) stanowi sumę czasu opóźnienia przy wyłączeniu i czasu opadania

$$t_{off}^{\Delta} = t_{d(off)} + t_f \quad (2.39)$$

- 7) **całkowity czas przełączania**  $t_{ts}$  (ang. *total switching time*) stanowi sumę czasu załączania i czasu wyłączenia

$$t_{ts}^{\Delta} = t_{on} + t_{off} \quad (2.40)$$

Jak widać, za **charakterystyczny przebieg wyjściowy** tranzystora MOSFET przyjmuje się nie prąd drenu, ale napięcie dren-źródło. Wynika to z faktu, że w tranzystorach unipolarnych brak

zjawiska napływu nośników mniejszościowych do obszaru słabo domieszkowanego. Przepływ prądu może się więc rozpocząć w bardzo krótkim czasie. Natomiast zmiany napięcia są powolniejsze, co wynika z konieczności zgromadzenia lub usunięcia ładunku z pojemności struktury.

Za koniec stanu przełączania uznaje się koniec procesów przejściowych w obwodzie głównym – zakończenie opadania lub narastania napięcia  $u_{DS}$ . W związku z tym końcowy odcinek ustalania się napięcia sterującego  $u_{GS}$  nie ma wpływu na wartość czasu  $t_{on}$  ani  $t_{off}$ . Na rys. 4b **całkowity czas załączania w obwodzie bramki** oznaczono przez  $t_{on,G}$ , zaś **całkowity czas wyłączenia w obwodzie bramki** – przez  $t_{off,G}$ . Czasy te należy uwzględnić analizując działanie przyrządu, ale nie mają znaczenia praktycznego dla jego stosowania w układach. Dlatego nie należą one do katalogowych parametrów tranzystora MOSFET mocy.

### 2.5.b. Praktyka pomiarowa

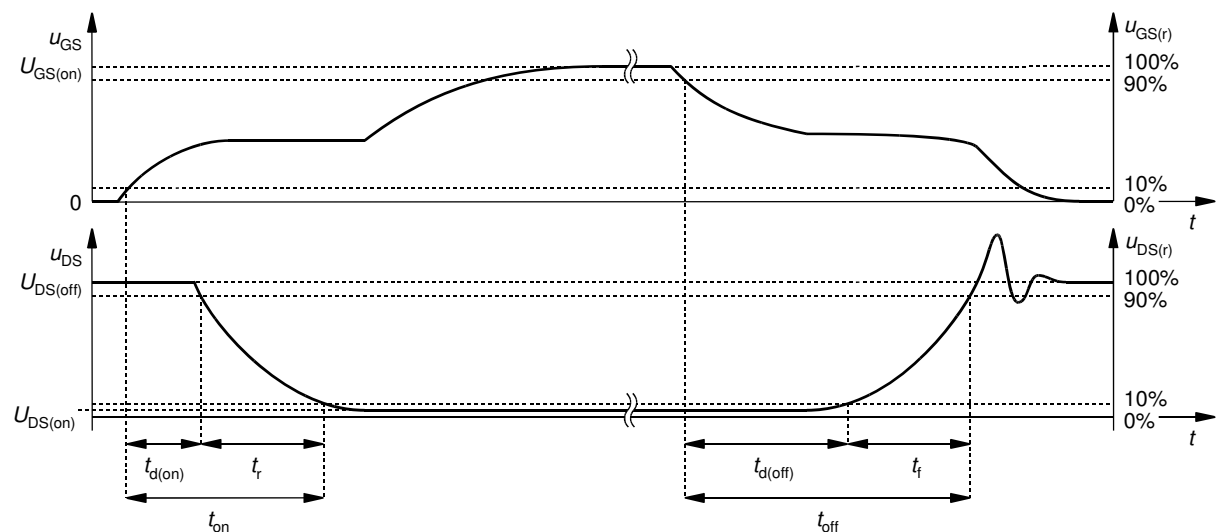
Wyżej podane definicje parametrów czasowych można określić mianem **definicji fizycznych**, gdyż określają rzeczywisty czas trwania procesów fizycznych zachodzących w przyrządzie. Niestety wykorzystanie ich w praktyce jest niemożliwe. Ze względu na to, że wszystkie procesy przejściowe teoretycznie kończą się w nieskończoności, niemożliwe jest dokładne określenie, kiedy na przykład napięcie  $u_{DS}$  osiąga swoją wartość ustaloną  $U_{DS(off)}$ .

Dlatego też w praktyce pomiarowej i projektowej stosuje się **definicje techniczne** parametrów czasowych zgodnie z normą IEC 60747-8-4. W oparciu o nie mierzone są parametry podawane w kartach katalogowych tranzystorów. W definicjach technicznych **zamiast idealnych stanów ustalonych rozpatruje się chwile osiągnięcia charakterystycznych wartości względnych** przebiegów – 10% i 90%, przy czym wartość względna oznacza tu wartość bieżącą odniesioną do poziomu wysokiego w stanie ustalonym.

**W przypadku tranzystora MOSFET przebiegami referencyjnymi są napięcia  $u_{GS}$  i  $u_{DS}$** , przy czym wartością początkową napięcia  $u_{GS}$  powinno być 0 V, jak to przedstawia rys. 6. Wobec tego rozpatrywane wartości względne można formalnie opisać wzorami:

$$u_{GS(r)} = \frac{u_{GS}}{U_{GS(on)}} \quad (2.41)$$

$$u_{DS(r)} = \frac{u_{DS}}{U_{DS(off)}} \quad (2.42)$$



Rys. 6. Techniczne definicje parametrów czasowych tranzystora MOSFET mocy zgodnie z normą IEC 60747-8-4

Techniczne definicje parametrów czasowych tranzystora MOSFET można wyrazić słownie następująco:

- **czas opóźnienia przy załączaniu**  $t_{d(on)}$  – to czas od chwili, w której wartość względna  $u_{GS(t)}$  narastającego napięcia  $u_{GS}$  osiąga 10%, do chwili, w której wartość względna  $u_{DS(t)}$  opadającego napięcia  $u_{DS}$  osiąga 90%;
- **czas narastania**  $t_r$  – to czas, w którym wartość względna napięcia  $u_{DS}$  spada od 90% do 10%;
- **czas opóźnienia przy wyłączeniu**  $t_{d(off)}$  – to czas od chwili, w której wartość względna opadającego napięcia  $u_{GS}$  osiąga 90%, do chwili, w której wartość względna narastającego napięcia  $u_{DS}$  osiąga 10%;
- **czas opadania**  $t_f$  – to czas, w którym wartość względna napięcia  $u_{DS}$  wzrasta od 10% do 90%.

Całkowite czasy załączania i wyłączania definiowane są nadal jako sumy odpowiednich czasów składowych, a więc ich definicje techniczne są identyczne z fizycznymi.

Specjalne układy pomiarowe są konstruowane w sposób maksymalnie zbliżający przebiegi do idealnych. Mimo to mogą być widoczne skutki obecności elementów pasożytniczych – w postaci **przetężeń, przepięć i oscylacji**, co na rys. 6 zobrazowano dla napięcia  $u_{DS}$  podczas wyłączania. Jeżeli w wyniku ich obecności definicyjny poziom napięcia jest przekraczany kilkakrotnie, **należy zawsze brać pod uwagę pierwsze przecięcie danego poziomu przez odpowiedni przebieg**. Wynika to z faktu, że nawet napięcia zakłócone nie mogą zmieniać się szybciej, niż pozwalają na to mechanizmy fizyczne działające w strukturze półprzewodnikowej. Stąd poziom odniesienia zostanie osiągnięty zawsze po czasie wynikającym z właściwości przyrządu, które to właśnie chcemy zbadać. Natomiast fakt przekroczenia poziomu odniesienia (przepięcie) oraz następujące dążenie do stanu ustalonego (dalsze oscylacje) wynikają z parametrów układu pracy i dlatego nie powinny być brane pod uwagę.

Analizując kartę katalogową badanego tranzystora można zauważyć, że producent podaje wartości parametrów czasowych dla **ściśle określonych warunków** zasilania i sterowania. Są to więc wartości przykładowe, umożliwiające orientacyjne porównanie różnych przyrządów między sobą. W rzeczywistym układzie parametry te mogą okazać się znacząco inne, gdyż wpływ układu i warunków pracy tranzystora jest znaczący.

## 3. Straty mocy w tranzystorach MOSFET

---

### 3.1. Moc strat i jej składowe

#### 3.1.a. Istotność strat mocy

Zjawiska wynikające z przekroczenia bezpiecznej wartości mocy strat stanowią **najczęstszą przyczynę uszkodzeń** przyrządów półprzewodnikowych mocy, a w konsekwencji – układów elektroniki mocy. Przewidywanie mocy strat jest więc bardzo istotnym etapem projektowania każdego układu.

W niniejszym ćwiczeniu ograniczymy się do najprostszych ręcznych metod szacowania mocy strat. W metodach tych traktuje się wydzielanie energii cieplnej w sposób **makroskopowy**, a przyrząd półprzewodnikowy rozważa się jako **skupiony** (bez wymiarów geometrycznych). Są to uproszczenia pożyteczne, gdyż pozwalają na dokonywanie szybkich szacunków, jednak niekiedy zawodne.

W przypadku skomplikowanych problemów z wydzielaniem ciepła, stosuje się **modele trójwymiarowe**. Pozwalają one na rozpatrywanie mocy strat i temperatury nie globalnie (makroskopowo), ale w każdym punkcie struktury półprzewodnikowej (podejście mikroskopowe). W ten sposób możliwe jest przewidzenie np. lokalnego przegrzewania się struktury. Oczywiście analiza taka możliwa jest wyłącznie z użyciem symulacji komputerowej.

Uproszczone podejście makroskopowe **opiera się na mocy czynnej**. Z definicji bowiem to właśnie moc czynna charakteryzuje energię elektryczną przetwarzaną na inną postać energii. W przypadku strat mocy w przyrządzie półprzewodnikowym mamy do czynienia z energią cieplną. Energia ta jest zbędna i niekorzystna – zmniejsza sprawność układu elektronicznego i wymusza dodanie elementów chłodzących. Można ją minimalizować przez odpowiedni dobór przyrządu półprzewodnikowego, strategii i parametrów sterowania oraz topologii całego układu, jednakże nie można jej całkowicie wyeliminować.

#### 3.1.b. Składowe całkowitej mocy strat

Tranzystor MOSFET – jak każdy przyrząd sterowalny – posiada **dwa obwody**: główny i sterowania. W każdym z nich płynie (przynajmniej w pewnych odcinkach czasu) prąd przy niezerowym napięciu, co oznacza straty mocy. W obwodzie głównym (drenu) mamy do czynienia z przepływem prądu  $i_D$  od drenu do źródła, który wywołuje spadek potencjału  $u_{DS}$  między tymi końcówkami. Wskutek tego wydzielana jest moc o wartości chwilowej

$$P_D = i_D u_{DS} \quad (3.1)$$

a związana z tym moc czynna wynosi

$$P_D = \frac{1}{T_s} \int_{T_s} p_D dt = \frac{1}{T_s} \int_{T_s} i_D u_{DS} dt \quad (3.2)$$

W obwodzie sterowania – między bramką a źródłem – przepływa prąd  $i_G$  przy pewnym napięciu  $u_{GS}$ , co wywołuje straty mocy wyrażające się wzorami:

$$p_G = u_{GS} i_G \quad (3.3)$$

$$P_G = \frac{1}{T_s} \int_{T_s} p_G dt = \frac{1}{T_s} \int_{T_s} u_{GS} i_G dt \quad (3.4)$$

Polowy mechanizm sterowania sprawia jednak, że – jakkolwiek chwilowo prąd bramki może przyjmować znaczne wartości – **moc czynna strat w obwodzie bramki jest nieznaczna**. Przepływ prądu trwa bowiem krótko względem okresu powtarzania impulsów sterujących  $T_p$ . Dlatego uprawnione jest przyjęcie, że  $P_G \ll P_D$  i rozważanie odtąd wyłącznie strat mocy w obwodzie drenu.

W przypadku przyrządów ze sterowaniem złączowym rozważenie obwodu sterowania jest natomiast konieczne:

- 1° pod kątem bezpieczeństwa samego złącza sterującego (maksymalny dopuszczalny prąd i maksymalna dopuszczalna moc strat – niekiedy podawany jest w tym celu osobny rysunek obszaru bezpiecznej pracy);
- 2° pod kątem mocy strat w całym przyrządzie i wynikającej stąd konieczności odprowadzenia większej ilości ciepła.

Kolejny podział na składowe wynika z wyróżnienia poszczególnych **stanów pracy łącznika półprzewodnikowego** (zob. instrukcję 0, par. 4.2). Całkowitą energię  $W_{tot}$  wydzielaną w okresie przełączania  $T_s$  możemy podzielić na wydzielaną w stanach statycznych (przewodzenia  $W_{cond}$  i blokowania  $W_b$ ) oraz dynamicznych (załączania  $W_{on}$  i wyłączania  $W_{off}$ ):

$$W_{stat} = W_{cond} + W_b \quad (3.5)$$

$$W_{dyn} = W_{on} + W_{off} \quad (3.6)$$

$$W_{tot} = W(T_s) = W_{stat} + W_{dyn} \quad (3.7)$$

W konsekwencji w całkowitej mocy strat  $P_D$  ( $P_{D,tot}$ ) można wyróżnić moc strat statycznych  $P_{D,stat}$  i moc strat dynamicznych  $P_{D,dyn}$ :

$$P_D = \frac{W(T_s)}{T_s} = P_{D,stat} + P_{D,dyn} \quad (3.8)$$

gdzie

$$P_{D,stat} = \frac{W_{stat}}{T_s} \quad (3.9)$$

$$P_{D,dyn} = \frac{W_{dyn}}{T_s} \quad (3.10)$$

## 3.2. Straty statyczne

### 3.2.a. Stan załączenia i stan wyłączenia

W stanie statycznym (lub przynajmniej quasi-statycznym, czyli w którym wymuszenie jest wolniejsze niż tranzystor), przy prądzie  $I_D$  i napięciu  $U_{DS}$ , które można uznać za stałe, moc chwilowa jest również stała i wynosi

$$p_D = I_D U_{DS} \quad (3.11)$$

Równość ta jest bardzo ogólna i prawdziwa dla trzech zakresów pracy tranzystora MOSFET: podprogowego, nasycenia i liniowego. Jak wiadomo, przy pracy przełączanej tranzystor mocy znajduje się na stałe w zakresie na zmianę podprogowym i liniowym.

Dla **stanu załączenia (przewodzenia)** – przez co rozumie się pracę z niskim napięciem  $U_{DS}$ , a więc w zakresie liniowym – spadek potencjału na tranzystorze  $U_{DS}$  może być uznany za proporcjonalny do prądu drenu zgodnie z zależnością

$$U_{DS(on)} = I_{D(on)} R_{DS(on)} \quad (3.12)$$

gdzie  $R_{DS(on)}$  jest rezystancją dren-źródło w stanie załączenia (zob. paragraf 3.2.b). Podstawiając (3.12) do (3.11) mamy

$$p_{D(cond)} = I_{D(on)} \cdot U_{DS(on)}(I_{D(on)}) = I_{D(on)} \cdot I_{D(on)} R_{DS(on)} = I_{D(on)}^2 R_{DS(on)} \quad (3.13)$$

Z kolei w **stanie wyłączenia (blokowania)** tranzystor narzuca prąd drenu. Określa go **prąd upływu dren-źródło** (ang. *drain-source leakage current*) oznaczany zwykle  $I_{DSS}$ . Wyznacza się go przy zwarceniu bramki ze źródłem ( $U_{GS} = 0$ ), o czym mówi ostatnia litera „S” w indekcie (od ang. *shorted* ‘zwarty’). Z zależności (3.11) mamy więc

$$p_{D(b)} = U_{DS(off)} \cdot I_{DSS}(U_{DS(off)}) = \frac{U_{DS(off)}^2}{R_{DS(off)}} \quad (3.14)$$

przy czym prąd  $I_{DSS}$  rośnie z blokowanym napięciem  $U_{DS(off)}$  i temperaturą, zaś rezystancja  $R_{DS(off)}$  – spada.

Przyjmując sterowanie impulsowe impulsami o długości  $t_p$ , okresie  $T_p$  i współczynniku wypełnienia  $D$ , oraz zakładając, że czasy przełączania są dużo krótsze od  $t_p$  i  $T_p$ , czasy załączenia  $t_{cond}$  i wyłączenia  $t_b$  są równe:

$$t_{cond} = t_p \quad (3.15)$$

$$t_b = T_p - t_p \quad (3.16)$$

Wobec tego energia wydzielana w tranzystorze w rozpatrywanych stanach wynosi

$$\begin{aligned} W_{D(cond)} &= \int_{t_{cond}} p_{D(cond)} dt = \int_{t_{cond}} I_{D(on)}^2 R_{DS(on)} dt = I_{D(on)}^2 R_{DS(on)} t_{cond} = I_{D(on)}^2 R_{DS(on)} t_p = \\ &= I_{D(on)}^2 R_{DS(on)} D T_p \end{aligned} \quad (3.17)$$

$$\begin{aligned} W_{D(b)} &= \int_{t_b} p_{D(b)} dt = \int_{t_b} U_{DS(off)} I_{DSS} dt = U_{DS(off)} I_{DSS} t_b = U_{DS(off)} I_{DSS} (T_p - t_p) = \\ &= U_{DS(off)} I_{DSS} (1 - D) T_p \end{aligned} \quad (3.18)$$

Podstawiając powyższe do (3.9) i uwzględniając, że okres przełączania  $T_s$  jest równy okresowi powtarzania impulsów sterujących  $T_p$ , mamy

$$P_{D,stat} = \frac{W_{D(cond)} + W_{D(b)}}{T_p} = DI_D^2 R_{DS(on)} + (1-D)U_{DS(off)} I_{DSS} \quad (3.19)$$

Typowy (w rozważanych przez nas aplikacjach) rząd wielkości prądów i napięć to:

- 1° w stanie załączenia  $I_D \approx 0,1-10$  A,  $U_{DS} \approx 0,1-1$  V, a więc  $p_{D(cond)} \approx 0,01-10$  W;
- 2° w stanie wyłączenia  $U_{DS} \approx 10-100$  V,  $I_D \approx 1 \mu\text{A}-100 \mu\text{A}$ , a więc  $p_{D(b)} \approx 0,01-10$  mW.

Dlatego też uprawnione jest przyjęcie  $p_{D(b)} \ll p_{D(cond)}$ , a stąd  $W_{D(b)} \ll W_{D(cond)}$  i rozważanie **wyłącznie składnika mocy statycznej wynikającej ze strat w stanie załączenia**:

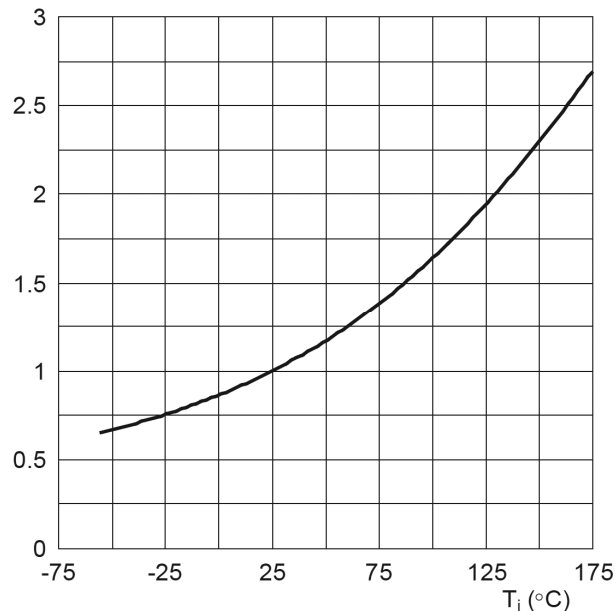
$$P_{D,stat} \approx \frac{W_{D(cond)}}{T_p} = DI_D^2 R_{DS(on)} \quad (3.20)$$

### 3.2.b. Rezystancja w stanie załączenia

Jak widać ze wzoru (3.20), znaczący wpływ na moc strat statycznych ma **rezystancja dren-źródło w stanie załączenia**. Wielkość ta definiowana jest jako

$$R_{DS(on)} = \left. \frac{\Delta U_{DS}}{I_D} \right|_{U_{DS} \rightarrow 0} \quad (3.21)$$

innymi słowy jest to odwrotność nachylenia charakterystyki statycznej tranzystora w początku układu współrzędnych ( $U_{DS} \rightarrow 0$ ). Rezystancja  $R_{DS(on)}$  jest silnie zależna od temperatury. Zależność ta ma **charakter rosnący**, co wynika ze spadku ruchliwości nośników w wyniku zwiększenia amplitudy drgań węzłów sieci krystalicznej.



Rys. 7. Charakterystyka znormalizowanej rezystancji dren-źródło w stanie załączenia w funkcji temperatury dla tranzystora MOSFET PHP45NQ15T

W katalogach jako charakterystyczną (nominalną) podaje się wartość w temperaturze struktury  $T_j$  równej temperaturze pokojowej 25 °C. Jednakże nagrzewanie się struktury półprzewodnikowej



podczas pracy jest nieuniknione. Rezystancję przyrządu dla danej temperatury można obliczyć ze wzoru

$$R_{DS(on)}(T_j) = R_{DS(on)}(25^\circ\text{C}) \cdot R_{DS(on)\text{norm}}(T_j) \quad (3.22)$$

gdzie  $R_{DS(on)}(25^\circ\text{C})$  jest **rezystancją nominalną**, zaś  $R_{DS(on)\text{norm}}$  jest **rezystancją znormalizowaną** (ang. *normalized on-state resistance*) – tj. odniesioną do  $R_{DS(on)}(25^\circ\text{C})$  – dla danej temperatury  $T_j$ :

$$R_{DS(on)\text{norm}}(T_j) = \frac{R_{DS(on)}(T_j)}{R_{DS(on)}(25^\circ\text{C})} \quad (3.23)$$

Rezystancję znormalizowaną można odczytać z charakterystyki (w funkcji temperatury) podawanej w karcie katalogowej. Przykładowy przebieg takiej charakterystyki przedstawia rys. 7. Dla tranzystora PHP45NQ15T nominalna rezystancja  $R_{DS(on)}$  wynosi  $42\text{ m}\Omega$ , stąd np. dla jego maksymalnej dopuszczalnej temperatury  $175^\circ\text{C}$  (z rys. 7 –  $R_{DS(on)\text{norm}} \approx 2,7$ ),  $R_{DS(on)} = 42\text{ m}\Omega \cdot 2,7 = 113\text{ m}\Omega$ .

### 3.3. Straty dynamiczne

#### 3.3.a. Moc chwilowa i energia wydzielana w stanach dynamicznych

W stanach dynamicznych prąd i napięcie są zmienne, a ich **przebiegi wynikają z wzajemnego oddziaływania przyrządu i obwodu**. W ogólności energia wydzielana w stanie załączania i wyłączenia (w obwodzie głównym) wyraża się więc całką

$$W_{D(\text{on})} = \int_{\Delta t_{\text{Won}}} p_D dt = \int_{\Delta t_{\text{Won}}} i_D u_{DS} dt \quad (3.24)$$

$$W_{D(\text{off})} = \int_{\Delta t_{\text{Woff}}} p_D dt = \int_{\Delta t_{\text{Woff}}} i_D u_{DS} dt \quad (3.25)$$

gdzie  $\Delta t_{\text{Won}}$  i  $\Delta t_{\text{Woff}}$  są przedziałami całkowania odpowiadającymi odpowiednio procesowi załączania i wyłączenia w odniesieniu do obwodu głównego. Są to więc przedziały, w których zmieniają się wartości chwilowe przebiegów  $u_{DS}$  i  $i_D$ .

Oddziaływanie przyrządu i jego układu pracy może mieć różny charakter, a przebiegi – złożony kształt. Wyprowadzenie praktycznych zależności pozwalających oszacować energię wydzielaną jest możliwe, jeżeli przyjmie się następujące **założenia upraszczające**:

- 1° napięcie i prąd zmieniają się w czasie liniowo, między zerem a wartością maksymalną;
- 2° układ pracy tranzystora można sprowadzić do modelowego obciążenia o charakterze opornika lub o charakterze źródła prądowego.

Rozpatrzmy teraz kolejno oba te przypadki obciążeń.

#### 3.3.b. Obciążenie o charakterze opornika (rezystancyjne)

Przypadek ten został dokładnie przeanalizowany w rozdz. 2. Jak wynika z tej analizy, **zmiany napięcia i prądu podczas przełączania są jednoczesne**, łączy je bowiem prosta pracy obwodu rezystancyjnego zasilanego napięciowo – stąd określenie **obciążenie rezystancyjne** (ang. *resistive load*).

Przy założeniu liniowego (jednostajnego) narastania i opadania, przebiegi prądu i napięcia podczas załączania (rys. 8a) opisują zależności:

$$i_D = \frac{I_{D(\text{on})}}{t_r} t \quad (3.26)$$

$$u_{DS} = \frac{U_{DS(\text{off})}}{t_r} (t_r - t)$$

przy czym dla uproszczenia wzorów przyjęto, że  $t = 0$  w chwili rozpoczęcia załączania. Czas  $\Delta t_{Eon}$  dotyczy przełączania w obwodzie głównym. A więc, jak widać na rysunku, w rozpatrywanym przypadku jest on równy czasowi narastania  $t_r$ . W niniejszym ćwiczeniu nie analizujemy szczegółowo ataku prądowego, ale dla porządku należy tu wspomnieć, że czas ten można wyznaczyć z ładunku bramki  $Q_{GD}$ .

Moc chwilowa strat podczas załączania wynosi

$$p_D = i_D u_{DS} = \frac{I_{D(\text{on})} U_{DS(\text{off})}}{t_r^2} t(t_r - t) \quad (3.27)$$

Równanie to **opisuje w funkcji czasu parabolę** o miejscach zerowych  $t = 0$  i  $t = t_r$  (rys. 8a). Jej wartość maksymalna wypada dla

$$\frac{dp_D}{dt} = \frac{I_{D(on)}U_{DS(off)}}{t_r^2} \cdot \frac{d}{dt}(t_r t - t^2) = \frac{I_{D(on)}U_{DS(off)}}{t_r^2} (t_r - 2t) = 0 \quad (3.28)$$

czyli dla  $t = t_r/2$ . Wynosi więc ona

$$p_{D(m)} = p_D(t_r/2) = \frac{I_{D(on)}U_{DS(off)}}{t_r^2} \cdot \frac{t_r}{2} \cdot \frac{t_r}{2} = \frac{1}{4} I_{D(on)}U_{DS(off)} \quad (3.29)$$

Energia wydzielana podczas załączania jest równa całce z mocy chwilowej, tj. polu powierzchni pod przebiegiem  $p_D$ :

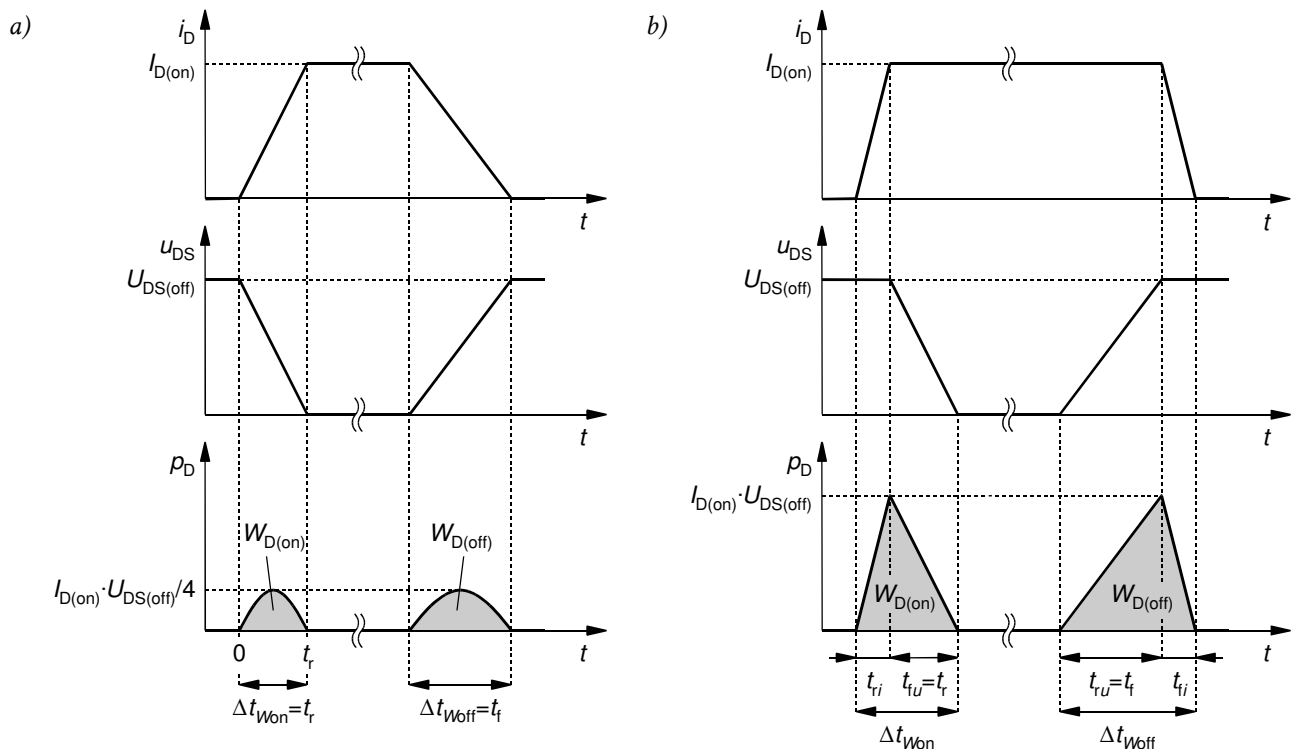
$$\begin{aligned} W_{D(on)} &= \int_0^{t_r} p_D dt = \frac{I_{D(on)}U_{DS(off)}}{t_r^2} \int_0^{t_r} t(t_r - t) dt = \frac{I_{D(on)}U_{DS(off)}}{t_r^2} \int_0^{t_r} (t_r t - t^2) dt = \\ &= \frac{I_{D(on)}U_{DS(off)}}{t_r^2} \left[ \frac{1}{2} t_r t^2 - \frac{1}{3} t^3 \right]_0^{t_r} = \frac{1}{6} I_{D(on)}U_{DS(off)} t_r \end{aligned} \quad (3.30)$$

Analogicznie, dla procesu wyłączenia, którego czas trwania jest równy czasowi opadania  $t_f$  tranzystora, który to również może być wyznaczony z ładunku bramki  $Q_{GD}$ , otrzymujemy

$$W_{D(off)} = \int_{t_f} p_D dt = \frac{1}{6} I_{D(on)}U_{DS(off)} t_f \quad (3.31)$$

Wobec tego

$$P_{D,dyn} = \frac{W_{D(on)} + W_{D(off)}}{T_p} = \frac{1}{6} I_{D(on)}U_{DS(off)} (t_r + t_f) f_p \quad (3.32)$$



Rys. 8. Idealizowane przebiegi prądu, napięcia i mocy chwilowej oraz energia wydzielana podczas przełączania w tranzystorze MOSFET: a) obciążenie o charakterze opornika; b) obciążenie o charakterze źródła prądu

### 3.3.c. Obciążenie o charakterze źródła prądu (indukcyjne)

Przypadek ten odpowiada przetwornicy podwyższającej napięcie analizowanej w ćwiczeniu 3<sup>B</sup>, kiedy to prąd w układzie nie może zaniknąć mimo wyłączenia tranzystora. Jest to tzw. **przełączanie twarde** (ang. *hard switching*). Zwykle elementem **wymuszającym dalszy przepływ prądu jest cewka**, której można wobec tego przypisać **rolę źródła prądu**, stąd określenie **obciążenie indukcyjne** (ang. *inductive load*). Jak wynika z analizy przetwornicy – z której wnioski pozostają ważne dla innych układów o tym charakterze – tranzystor **musi przejąć pełen prąd**  $I_{D(on)}$  narzucony przez układ, a **dopiero wówczas napięcie na nim może spaść** do niskiej wartości (rys. 8b). Z kolei podczas załączania przekaz prądu do innej gałęzi rozpoczyna się dopiero po wzroście napięcia.

Z analizy rys. 8b wynika, że przy założeniu liniowości zmian prądu i napięcia, **moc chwilowa będzie miała kształt trójkątów** o amplitudzie

$$p_{D(m)} = I_{D(on)} U_{DS(off)} \quad (3.33)$$

Wobec tego energia wydzielana może być obliczona jako pole trójkąta o wysokości  $p_{D(m)}$  i podstawie odpowiednio  $\Delta t_{Won}$  lub  $\Delta t_{Woff}$ :

$$W_{D(on)} = \int_{\Delta t_{Won}} p_D dt = \frac{1}{2} I_{D(on)} U_{DS(off)} \Delta t_{Won} \quad (3.34)$$

$$W_{D(off)} = \int_{\Delta t_{Woff}} p_D dt = \frac{1}{2} I_{D(on)} U_{DS(off)} \Delta t_{Woff} \quad (3.35)$$

Stąd moc czynna strat dynamicznych

$$P_{D,dyn} = \frac{W_{D(on)} + W_{D(off)}}{T_p} = \frac{1}{2} I_{D(on)} U_{DS(off)} (\Delta t_{Won} + \Delta t_{Woff}) f_p \quad (3.36)$$

Wynik ten jest **kilkakrotnie większy od otrzymanego dla obciążenia o charakterze opornika**, bowiem zamiast współczynnika 1/6 pojawił się współczynnik 1/2, zaś dodatkowo czasy  $\Delta t_{Won}$  i  $\Delta t_{Woff}$  nie są już tożsame z czasami  $t_r$  i  $t_f$ . Zmiana prądu i zmiana napięcia dokonuje się tu bowiem osobno. Przy tym z definicji czasów  $t_r$  i  $t_f$  wynika, że odpowiadają one odpowiednio opadaniu (czas  $t_{ru}$ ) i narastaniu (czas  $t_{ru}$ ) napięcia  $u_{DS}$ . Można uznać, że są one takie same, jak w przypadku obciążenia rezystancyjnego. Z kolei, nie wchodząc w szczegóły, dodatkowe czasy narastania  $t_{ri}$  i opadania  $t_{fi}$  prądu wynikają i mogą być obliczone z ładunku bramki  $Q_{GS2}$ .

**Model źródła prądowego** w szacowaniu mocy strat dynamicznych jest **stosowany najczęściej**, gdyż

- 1° stale płynący prąd przełączany między gałęziami jest typowy dla układów o działaniu przełączającym, zaś przełączanie z rys. 8a występuje stanowczo rzadziej;
- 2° wzajemny układ przebiegów prądu i napięcia z rys. 8b jest zasadniczo najgorszym z możliwych, jeżeli pominiemy możliwość wystąpienia przepięć i przetężeń – w związku z tym ten model przełączania nie grozi niedoszacowaniem strat mocy.

### 3.3.d. Rzeczywiste konfiguracje pracy

Jest oczywiste, że rzeczywiste układy nie są idealne. Wskutek obecności indukcyjności i pojemności pasożytniczych, tranzystor obciążony opornikiem **nie wykaże idealnie prostoliniowych przebiegów będących swoim wzajemnym lustrzanym odbiciem, jak również stan wyłączania nie będzie lustrzanym odbiciem stanu załączania**. Dodatkowo na przebiegach pojawiają się **przepięcia, przetężenia oraz niezerowe spadki potencjału** w stanach ustalonych. Niemniej przedstawione wyżej modele idealne stanowią dobre narzędzie do zrozumienia

zachowania się łączników półprzewodnikowych w rzeczywistych układach, a także do szacowania mocy strat.

Istnieją także **zaawansowane konfiguracje pracy, w których przebiegi prądu i napięcia przyjmują złożone kształty**. Należą do nich:

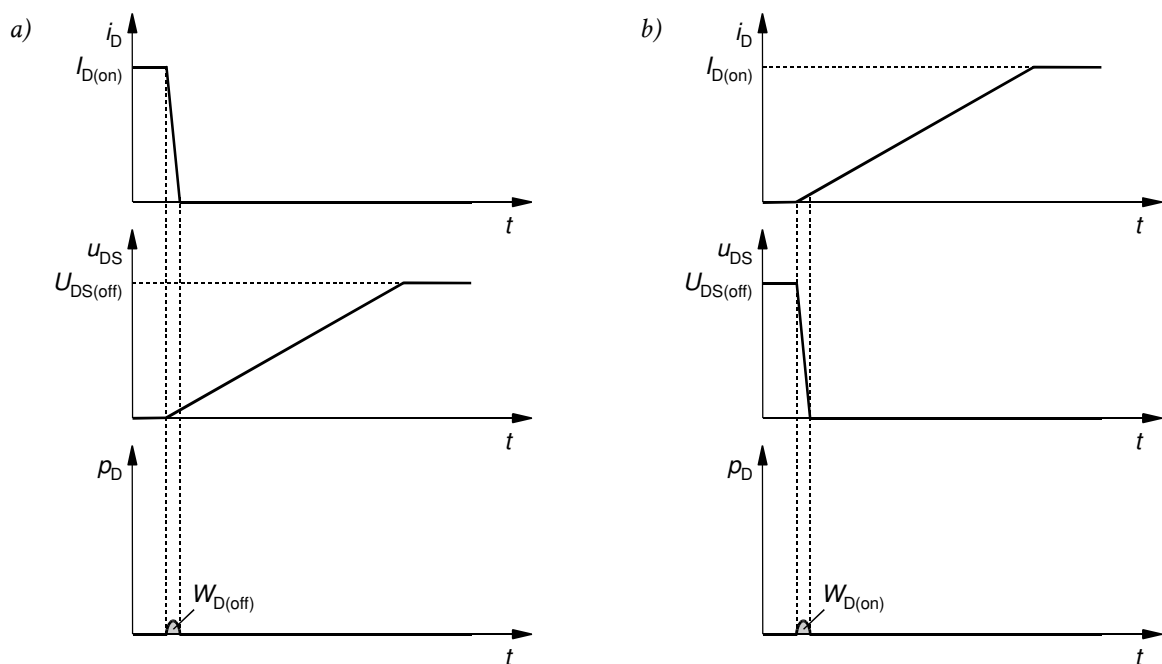
- 1) **przekształtniki rezonansowe** (ang. *resonant converters*),
- 2) **układy z tłumikami** (ang. *snubbers*).

W układach takich w skład obwodu mocy oprócz łącznika półprzewodnikowego i odbiornika wchodzi dodatkowe elementy, których zadaniem jest korzystna modyfikacja przebiegów prądu i napięcia głównego podczas przełączania. W tych przypadkach wyrażenia na moc strat dynamicznych są skomplikowane i wynikają z zasady działania konkretnego układu.

**Redukcja mocy strat dynamicznych w łączniku** jest często głównym kryterium wyżej wspomnianej optymalizacji przebiegów. Podstawowym sposobem osiągnięcia tego celu jest wymuszenie mniejszej ich stromości, co określa się mianem **łagodnego przełączania** (ang. *soft switching*). Działanie tych układów także daje się w uproszczeniu sprowadzić do jednego z przypadków idealnych (lub obu naraz):

- 1) **przełączania przy zerowym napięciu** (ang. *zero-voltage switching, ZVS*), którego przykład przedstawiono na rys. 9a;
- 2) **przełączania przy zerowym prądzie** (ang. *zero-current switching, ZCS*), które zobrazowano na rys. 9b.

Jak widać na rys. 9, określenie „zerowy” stanowi idealizację; w rzeczywistości przełączanie może następować przy napięciu lub prądzie niskim (zwykle powoli rosnącym w czasie), ale nie zerowym.



Rys. 9. Typowe idealizowane przebiegi prądu, napięcia i mocy chwilowej oraz energia wydzielana podczas przełączania w tranzystorze MOSFET w zaawansowanych konfiguracjach pracy: a) wyłączanie przy zerowym napięciu; b) załączanie przy zerowym prądzie

### 3.3.e. Praktyka pomiarowa

Pomiar energii wydzielanej w tranzystorze w stanach dynamicznych (z powodów podanych w par. 3.1.b rozpatruje się wyłącznie obwód drenu) wymaga zawsze rejestracji przebiegów  $i_D$  i  $u_{DS}$ , ich wymnożenia i scałkowania:

$$W_{D(\text{on})} = \int_{t_{\text{inf(on)}}}^{t_{\text{sup(on)}}} p_D dt = \int_{t_{\text{inf(on)}}}^{t_{\text{sup(on)}}} i_D u_{DS} dt \quad (3.37)$$

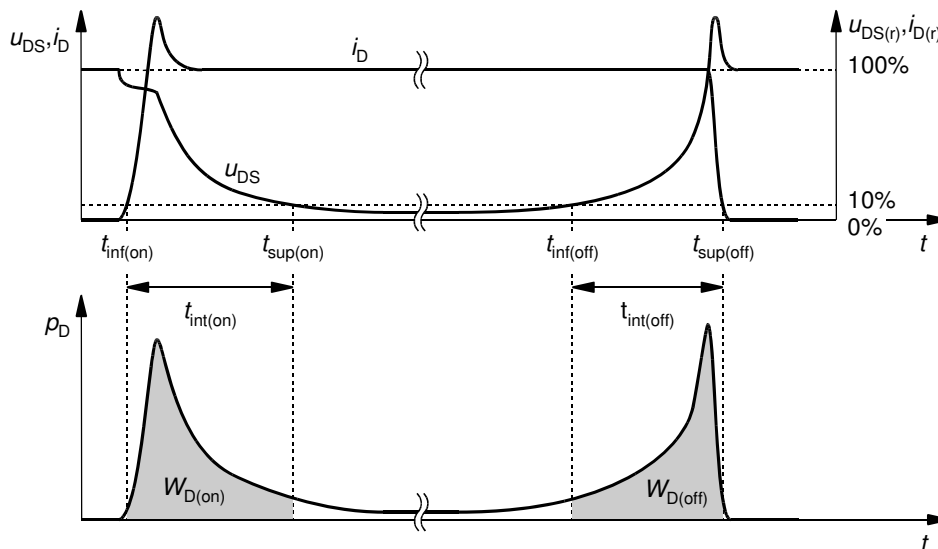
$$W_{D(\text{off})} = \int_{t_{\text{inf(off)}}}^{t_{\text{sup(off)}}} p_D dt = \int_{t_{\text{inf(off)}}}^{t_{\text{sup(off)}}} i_D u_{DS} dt \quad (3.38)$$

gdzie  $t_{\text{inf(on)}}$  i  $t_{\text{sup(on)}}$  oraz  $t_{\text{inf(off)}}$  i  $t_{\text{sup(off)}}$  są granicami całkowania<sup>1</sup>.

Dla umożliwienia praktycznych pomiarów, a jednocześnie standaryzacji wyników, **granice całkowania są określane w oparciu o charakterystyczne wartości względne odpowiednich przebiegów** – tak jak granice stanów dynamicznych niezbędne do wyznaczenia parametrów czasowych (por. par. 2.5.b). Według normy IEC 60747-8-4, w odniesieniu do energii chwile  $t_{\text{inf}}$  i  $t_{\text{sup}}$  wyznaczone są przez wartości względne 10% przebiegów  $i_D$  i  $u_{DS}$ , jak to zobrazowano na rys. 10.

Z powodów podanych w par. 3.3.c, norma **nakazuje pomiar parametrów energetycznych przy obciążeniu indukcyjnym**. Niemniej w niniejszym ćwiczeniu dokonany on zostanie dla obciążenia rezystancyjnego, z dwóch powodów:

- 1° dla zaobserwowania związku z parametrami czasowymi, które z kolei norma poleca mierzyć w układzie z obciążeniem rezystancyjnym;
- 2° konieczności wykonania pomiarów w czasie trwania zajęć laboratoryjnych, co wyklucza wymianę obciążenia.



Rys. 10. Sposób pomiaru energii wydzielanej w tranzystorze MOSFET w stanach dynamicznych według normy IEC 60747-8-4

<sup>1</sup> W przypadku makroskopowej charakteryzacji przyrządów półprzewodnikowych mocy przyjęło się (także w normie) stosować dla energii wydzielanej symbol  $E$ . Podobnie jak w instrukcji 0 i w zgodzie z większością opracowań naukowych i podręcznikowych, stosować będziemy jednak symbol  $W$ , z dwóch powodów: 1° dla odróżnienia od natężenia pola elektrycznego i 2° dla zachowania spójności z rozdziałami dotyczącymi pasm energetycznych i przekazu energii w układach przekształtnikowych.

## 4. Pomiary

---

### 4.1. Opis układu pomiarowego

Schemat układu doświadczalnego jest przedstawiony na rys. 11. Poprzez niebieskie listwy zaciskowe na panelu układu, **możliwe jest włączenie** w obwód:

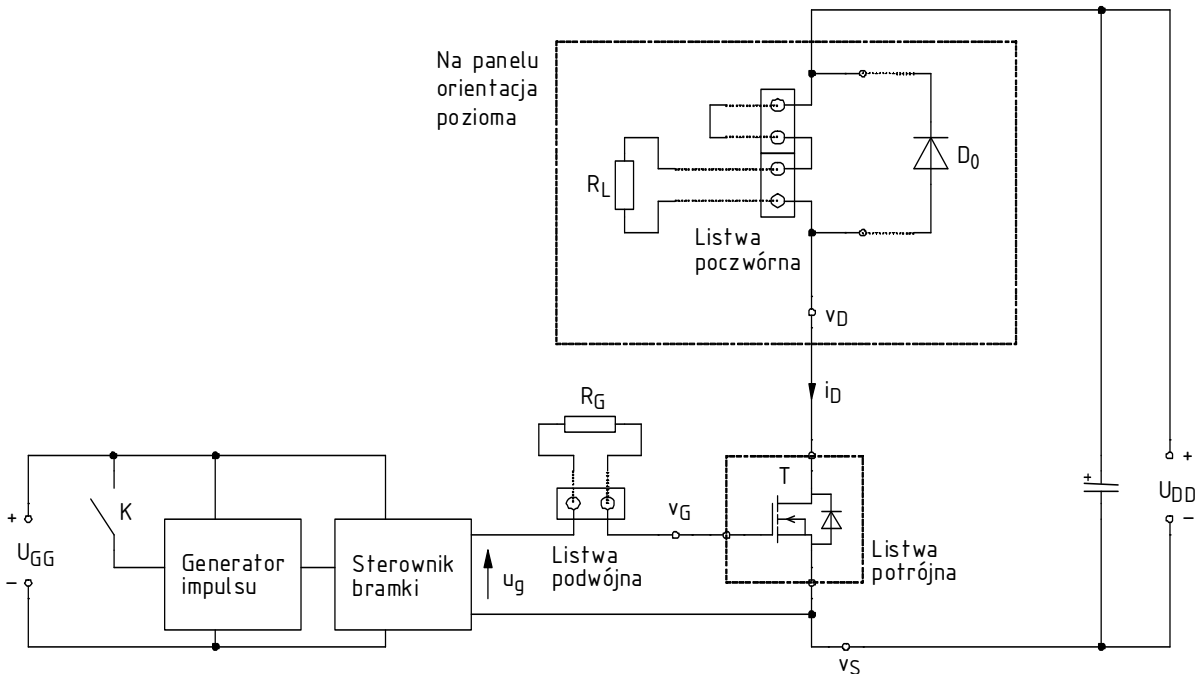
- opornika bramkowego  $R_G$  – listwa podwójna,
- odbiornika obciążającego (odbiornika)  $R_L$  – listwa poczwórna (wykorzystana zostanie jedna z par zacisków tej listwy, druga para będzie zwarta),
- tranzystora badanego T – listwa potrójna, której sposób włączenia w obwód należy ustalić przez porównanie połączeń pokazanych na rys. 11 i na panelu układu.

W ćwiczeniu badaniu zostanie poddany tranzystor MOSFET IRF540N. Jako odbiornik zostanie wykorzystany jeden z dostępnych na stanowisku większych oporników o mocy znamionowej 50 W, w metalowym radiatorze. Natomiast jako opornik bramkowy wykorzystany zostanie jeden ze standardowych małych oporników o mocy 0,25 W.

W celu wyeliminowania wpływu samonagrzewania się badanego tranzystora na jego działanie, jak również umożliwienia przepływu dużego prądu bez obawy o ciepłne uszkodzenie tranzystora, pomiary wykonywane są na **pojedynczych impulsach przełączających** (załączających, a po krótkiej chwili wyłączających) tranzystor. Prostokątny impuls napięcia  $u_g$  generowany jest przy każdorazowym naciśnięciu czerwonego przycisku na panelu badanego układu (na rys. 11 – łącznik K); **czas trwania impulsu**  $t_p$  wynosi kilkanaście mikrosekund, a jego amplituda jest w przybliżeniu równa **napięciu zasilającemu obwód sterowania**  $U_{GG}$ .

W związku z powyższym po każdej zmianie nastaw konieczne jest wygenerowanie impulsu przełączającego. Dotyczy to również sytuacji, gdy nastawy zostały zmienione tylko na urządzeniach pomiarowych (oscyloskopie, sondzie prądowej). **Dopiero po wygenerowaniu nowego impulsu oscyloskop zarejestruje przebiegi przy nowych ustawieniach i zmiana ustawień odniesie jakikolwiek skutek.** Do tego czasu, nawet jeżeli wydaje się, że przebiegi zostały np. powiększone w poziomie (zmiana podstawy czasu na mniejszą), nie jest to prawdą. W pamięci oscyloskopu nadal będą znajdować się dane zarejestrowane przy poprzednich nastawach; jedynie punkty zostaną

rozstrzelone na osi czasu. Tego typu powiększenie jest podobne do funkcji *zoomu* cyfrowego – nie powoduje ono rejestracji dokładniejszego obrazu, a tylko jego rozciągnięcie. Oscyloskop używany w ćwiczeniu sygnalizuje to wyszarzając przebiegi. Powyższe stosuje się również do powiększania w pionie (zmiany wzmocnienia napięciowego oscyloskopu lub współczynnika przetwarzania wzmacniacza sondy prądowej).



Rys. 11. Schemat układu doświadczalnego (w przypadku wyprowadzeń listwy potrójnej odzwierciedlone są wyłącznie połączenia elektryczne, natomiast nie ich rzeczywisty układ przestrzenny)

Do zasilania układu doświadczalnego używane będą dwa zasilacze 2-sekcyjne:

- z niezależną pracą sekcji (wykorzystywana będzie tylko jedna z nich) – do obwodu sterowania ( $U_{GG}$  oraz zasilanie bramki w par. 4.2);
- z szeregową pracą sekcji, co umożliwi uzyskanie wyższego napięcia – do obwodu mocy ( $U_{DD}$ ).

Układ umożliwia pomiar napięć międzykońcówkowych oraz prądu drenu badanego elementu. **Pomiaru napięć** dokonuje się za pomocą sond napięciowych podłączonych w odpowiedni sposób do gniazd bananowych oznaczonych na rys. 11 jako  $v_S$ ,  $v_G$  i  $v_D$ . Służą do tego wtyki bananowe z wyprowadzeniami umożliwiającymi przyłączenie sondy. Wtyki te mogą być dowolnie przenoszone w zależności od bieżących potrzeb pomiarowych.

**Pomiaru prądu** dokonuje się przez zamknięcie sondy prądowej wokół wyprowadzonego fragmentu przewodu oznaczonego na rys. 11 jako  $i_D$ . Strzałka na korpusie sondy wskazuje kierunek przyjmowany za dodatni. Sonda powinna zostać tak zorientowana, aby był on zgodny z rzeczywistością.

**Rejestracji danych z oscyloskopu** dokonuje się za pomocą programu WaveStar for Oscilloscopes dostępnego z menu Start, zakładka *Pomiary*, w sposób opisany w dalszym ciągu niniejszej instrukcji.



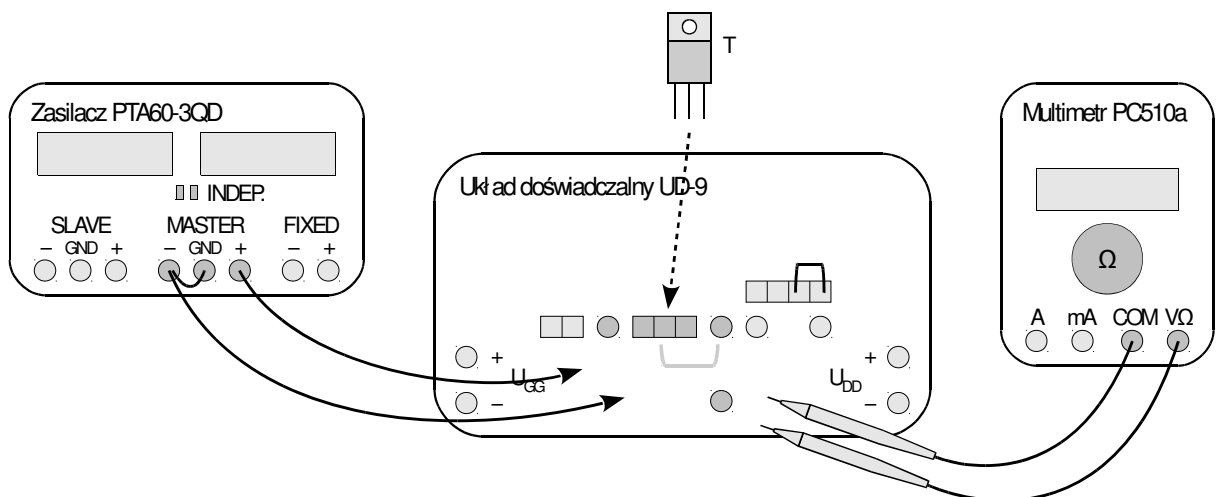
## 4.2. Rezystancja obwodu głównego

Schemat blokowy układu pomiarowego przedstawia rys. 12. Jego zestawienia należy dokonać w sposób opisany niżej i w podanej kolejności.

1. Upewnij się, że zasilacz jest wyłączony. Przetwórz zasilacz w tryb niezależnej pracy sekcji – *Independent* (dwa przyciski pośrodku panelu czołowego, wyjaśnienie funkcji których znajduje się na panelu nad nimi). Skręć wszystkie pokrętki zasilacza do zera (skrajne położenie przeciwnie do ruchu wskazówek zegara).
2. Włącz zasilacz.

**Aby nie zniszczyć bramki tranzystora przez wyładowanie elektrostatyczne, należy wszelkich manipulacji z nim dokonywać po wcześniejszym uziemieniu się, np. przez dotknięcie masy jednego z wejść oscyloskopu! Tranzystora nie należy chwycić za wyprowadzenia (nóżki), tylko za plastikową obudowę lub metalową podstawę (radiator).**

3. W potrójną listwę zaciskową na panelu układu włącz badany tranzystor, zgodnie ze schematem układu (należy porównać rys. 11 z rysunkiem na panelu) oraz układem wyprowadzeń badanego tranzystora pokazanym w karcie katalogowej obudowy TO-220, która stanowi załącznik do niniejszej instrukcji.
4. Upewnij się, że pętle obwodu sterowania i obwodu mocy pozostają otwarte:
  - opornik bramkowy  $R_G$  nie jest zamontowany w listwie zaciskowej,
  - co najwyżej jedna para zacisków listwy poczwórnej jest zwarta zworą, natomiast druga para pozostaje wolna.
5. Za pomocą przewodów bananowych, doprowadź napięcie z jednej z nastawnych sekcji zasilacza między bramką a źródło tranzystora, tak, by napięcie  $u_{GS}$  było dodatnie, tj. połącz:
  - biegun dodatni zasilacza – z bramką tranzystora (gniazdo  $v_G$ ),
  - biegun ujemny zasilacza – ze źródłem tranzystora (gniazdo  $v_S$ ),
  - dodatkowo uziemiając biegun ujemny – przez połączenie go z wyjściem GND.



Rys. 12. Schemat blokowy układu pomiarowego do pomiaru rezystancji dren-źródło

6. Nieznacznie zwiększ prąd graniczny ograniczenia prądowego zasilacza (pokrętko *Current*), do zgaśnięcia czerwonej kontrolki ograniczenia prądowego (*C.C.*)
7. Włącz multimetr i ustaw w tryb pomiaru rezystancji. Do odpowiednich (do wykonania pomiaru rezystancji) gniazd przyłącz oryginalne sondy ostrzowe.

Jeżeli na wyświetlaczu miernika wyświetlony zostanie wskaźnik rozładowania baterii (symbol baterii), nie należy kontynuować pomiarów, a zwrócić się do prowadzącego celem jej wymiany. W przeciwnym razie wskazania miernika mogą być błędne.

8. Za pomocą multimetru, zmierz rezystancję dren-źródło  $R_{DS}$  tranzystora, przytykając sondy ostrzowe do odpowiednich jego wyprowadzeń zamocowanych w listwie zaciskowej (a nie do jakichkolwiek innych punktów w układzie pomiarowym zlokalizowanych gdziekolwiek indziej):
- sondę z gniazda wspólnego miernika (COM) – do drenu tranzystora,
  - sondę z gniazda pomiaru rezystancji ( $\Omega$ ) – do źródła tranzystora.

Zanotuj wskazanie miernika  $R_{DS}$  z dokładnością do 2 cyfr znaczących.

**Przed wykonaniem kolejnego punktu poprawność połączeń i ustawień musi sprawdzić prowadzący.** Aby nie tracić czasu, oczekując na sprawdzenie należy wykonać pkt 4.3/1.

**Podczas wykonywania kolejnego podpunktu, nastawione napięcie w żadnym momencie nie może przekroczyć 15 V, gdyż grozi to uszkodzeniem tranzystora.**

9. Stopniowo zwiększaj napięcie zasilacza (nie więcej jednak niż do 10 V) i zanotuj napięcie  $U_{GS}$ , przy którym rezystancja  $R_{DS}$  spadnie radykalnie, tj. o co najmniej 3 rzędy wielkości. Zanotuj także tę rezystancję.

Wyrażenie „co najmniej” oznacza, że rozmiar spadku nie może być mniejszy niż podany, natomiast może być większy. Nie oznacza ono, że rozmiar spadku ma być dokładnie taki, jak podany, wobec czego nie należy tracić czasu na dokładny dobór napięcia dla uzyskania jakiegokolwiek konkretnej wartości rezystancji.

10. Zmierz rezystancję dren-źródło w warunkach pełnego załączenia:

a) skalibruj miernik do pomiaru małych rezystancji:

- zewrzyj końce sond ostrzowych,
- zaczekaj na ustalenie się wskazania miernika,
- przy całym czasie zwartych końcach sond, wciśnij przycisk *Range* w celu uruchomienia procedury kompensacji rezystancji przewodów,
- na wyświetlaczu powinien na 3 sek. pojawić się komunikat „Shrt” (*short* – zwarcie), po czym wyświetlić się wskazanie 0,
- rozewrzyj końce sond;

b) na zasilaczu ustaw napięcie 10 V;

c) przytknij sondy ostrzowe do odpowiednich wyprowadzeń tranzystora zamocowanych w listwie zaciskowej:

- gniazdo wspólne miernika (COM) – do źródła tranzystora,
- gniazdo pomiaru rezystancji ( $\Omega$ ) – do drenu tranzystora;

zanotuj wskazanie miernika  $R_{DS}$ .

11. Sprowadź napięcie na zasilaczu do zera i wyłącz go.

12. Wyłącz miernik.

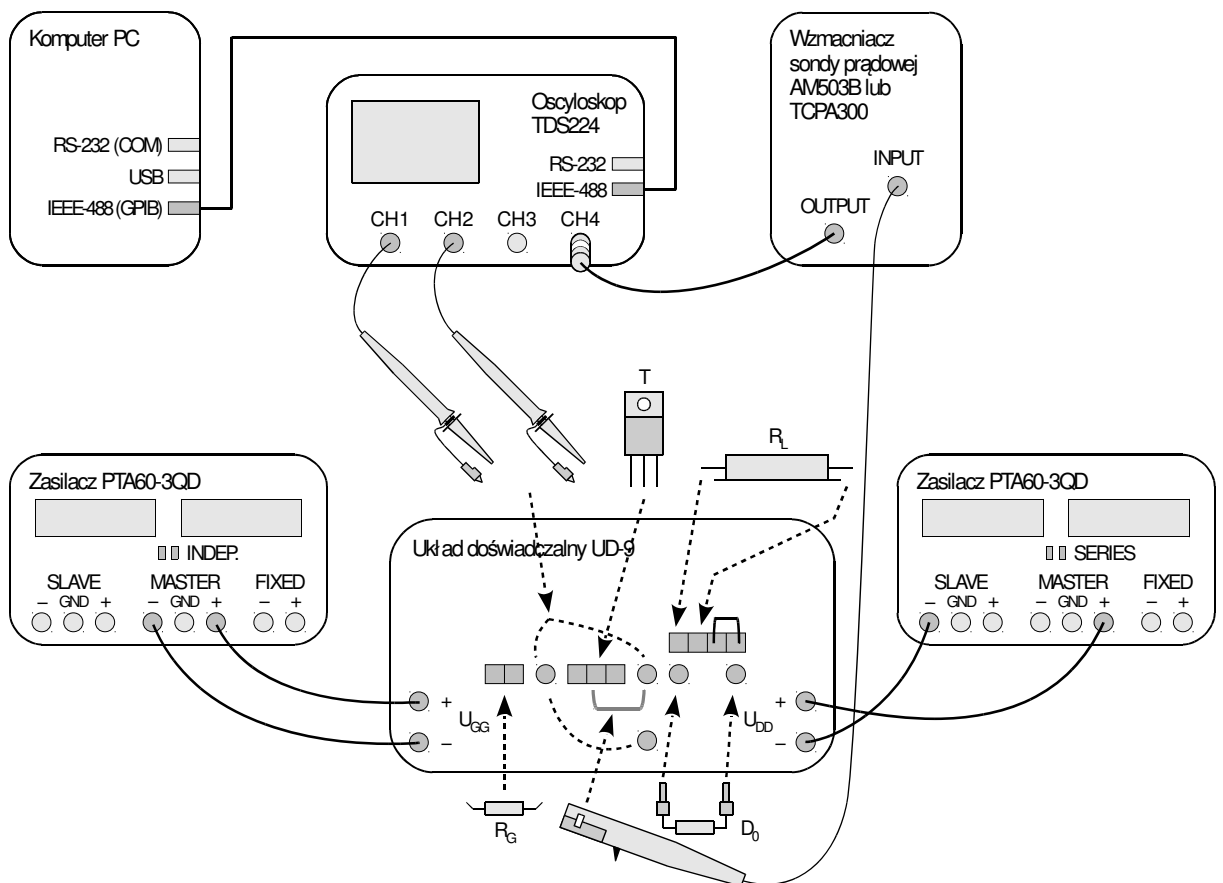
### 4.3. Przygotowanie do rejestracji przebiegów w funkcji czasu

#### Konfiguracja układu pomiarowego

Schemat blokowy układu pomiarowego przedstawia rys. 13. Jego zestawienia i konfiguracji należy dokonać w sposób opisany niżej i w podanej kolejności. Połączeń istniejących w tej chwili wskutek wykonania poprzedniego paragrafu nie należy likwidować; zostanie podana procedura ich odpowiedniej modyfikacji.

Aby nie tracić czasu, równoległe z pkt. 1 należy wykonywać kolejne punkty.

1. Włącz komputer. Po zakończeniu logowania, włącz oscyloskop i skonfiguruj połączenie z komputerem postępując ściśle według instrukcji dostępnej na stanowisku.
2. Do układu doświadczalnego przyłącz zasilanie:
  - a) upewnij się, że oba zasilacze są wyłączone;
  - b) dwoma przyciskami pośrodku panelu czołowego ustaw tryb pracy sekcji:
    - jednego zasilacza, który zostanie użyty do obwodu sterowania – niezależny (*Independent*; ustawienie to powinno zostać już wykonane w ramach paragrafu 4.2),
    - drugiego zasilacza, który zostanie użyty do obwodu mocy – szeregowy (*Series*);
  - c) skręć wszystkie pokrętki obu zasilaczy do zera (skrajne położenie przeciwnie do ruchu wskazówek zegara);
  - d) zlikwiduj zwarcie wyjścia „-” z uziemieniem (wyjściem GND);



Rys. 13. Schemat blokowy układu pomiarowego do rejestracji przebiegów w funkcji czasu

- e) wyjścia jednej z sekcji nastawnych zasilacza obwodu sterowania [patrz ppkt b)] połącz z wejściami  $U_{GG}$  na panelu układu – przełóż przewody z gniazd  $v_s$  i  $v_G$  do gniazd  $U_{GG}$ , zachowując biegunowość identyczną z zasilaczem;
  - f) skrajne wyjścia zasilacza obwodu mocy (– sekcji Slave, + sekcji Master) połącz z wejściami  $U_{DD}$  na panelu układu.
3. Ze strony internetowej uzyskaj i zanotuj napięcie zasilania obwodu mocy  $U_{DD}$  oraz pożądany prąd obciążenia  $I_o$ .
  4. W niebieskie listwy zaciskowe na panelu układu włącz niezbędne elementy:
    - a) do listwy podwójnej – dołącz mały opornik  $R_G$  (0,25 W) o rezystancji  $470 \Omega$  (rezystancję można ustalić za pomocą multimetru pracującego w trybie omomierza);
    - b) jedną parę zacisków listwy poczwórnej – zewrzyj zworką dostępną na stanowisku (o ile nie jest to już wykonane);
    - c) z prawa Ohma, oblicz rezystancję opornika obciążającego  $R_L$  taką, by przy napięciu zasilania obwodu mocy  $U_{DD}$  obliczonym w pkt. 3, po załączeniu tranzystora w obwodzie tym popłynął prąd  $I_o$  ustalony w pkt. 3 (do tego celu założyć, że tranzystor jest łącznikiem idealnym, tj. rezystancja jego obwodu głównego w stanie załączenia jest zerowa);
    - d) w drugą parę zacisków listwy poczwórnej – włącz opornik mocy (50 W, w metalowej obudowie, z wyprowadzonymi krótkimi przewodami) o wartości najbliższej obliczonej wyżej;

Wartości parametrów elementów elektronicznych postaci „a,b U”, gdzie  $a$  –część całkowita,  $b$  – część ułamkowa,  $U$  – jednostka, przyjęło się zapisywać jako „aUb”.

**Metalowa obudowa odbiornika w żadnym momencie nie może dotykać jakichkolwiek innych metalowych elementów. Grozi to zwarciem i uszkodzeniem układu oraz elementu badanego!**

- e) równolegle do opornika  $R_L$ , w gniazda zlokalizowane pod listwą poczwórną – włącz diodę gaszącą  $D_0$  dostępną na stanowisku (z wtykami bananowymi na wyprowadzeniach), zachowując orientację diody pokazaną na rys. 11 (katodę wskazuje pasek na obudowie).
5. Sondy napięciowe z tłumieniem 10:1 przyłącz do układu w taki sposób, by na kanale 1 mierzyć napięcie bramka-źródło  $u_{GS}$ , a na kanale 2 – napięcie dren-źródło  $u_{DS}$  tranzystora. Jeżeli tylko jedna z sond posiada wyprowadzenie masy, należy go użyć do pomiaru napięcia  $u_{DS}$ .

**Uwaga!**

1. Masy sond napięciowych (końcówki krokodylkowe) są na oscyloskopie zwarte ze sobą i połączone z przewodem ochronnym sieci; w związku z tym muszą być zawsze przyłączone do tego samego potencjału. Inne połączenie grozi przepływem prądu przez oscyloskop i uszkodzeniem jego obwodów wejściowych!
  2. Podczas wykonywania pomiarów nie należy dotykać elementów, na których występuje napięcie zasilające obwodu mocy (w szczególności wyprowadzenie potencjału drenu  $v_D$ , metalowy wbudowany radiator tranzystora, wyprowadzenia opornika obciążającego, wyprowadzenia diody gaszącej).
  3. Przed wykonaniem kolejnego punktu poprawność połączeń musi sprawdzić prowadzący!
  4. Przed wykonaniem pkt. 6 i 7 należy je przeczytać w całości wraz z uwagami poniżej nich!
6. Włącz zasilacz obwodu sterowania. Jeżeli pomiary z podrozdziału 4.2 zostały pominięte, zwiększyć nieco prąd graniczny ograniczenia prądowego (pokrętło *Current*), do zgaśnięcia czerwonej kontrolki ograniczenia prądowego (C.C.)  
Ustaw napięcie zasilające obwód sterowania (pokrętło *Voltage*) na 10 V – jeżeli w trakcie włączy się ograniczenie prądowe, należy najpierw zmniejszyć napięcie, zwiększyć próg ograniczenia prądowego i dopiero wówczas ponownie spróbować zwiększyć napięcie.

**Przy poprawnej pracy układu amperomierz zasilacza powinien wykazywać pobór prądu rzędu dziesiątek miliamperów. Jeżeli podczas nastawiania lub później obserwowane jest co**

innego, należy natychmiast wyłączyć zasilacz i poprosić prowadzącego o ponowne sprawdzenie układu.

Należy uważać, aby w czasie nastawiania nie przekroczyć nigdy wartości 18 V, gdyż grozi to zniszczeniem układów scalonych.

7. Zasil obwód mocy:

- a) włącz zasilacz obwodu mocy;
- b) zwiększ nieco prąd graniczny ograniczenia prądowego obu sekcji zasilacza obwodu mocy (pokręćła *Current*), do zgaśnięcia czerwonych kontrolerek (*C.C.*);
- c) pokręćłem *Voltage sekcji Master* (w trybie szeregowym powoduje ono jednoczesną regulację obu sekcji), ustaw napięcie zasilające obwód mocy równe wartości ustalonej w pkt. 3 (ze względu na zasilanie z szeregowego połączenia sekcji, wartości tej powinna być równa suma wskazań woltomierzy sekcji *Slave* i *Master*). W przypadku włączenia się ograniczenia prądowego, należy postępować jak w pkt. 6.

Na panelu układu powinna zapalić się czerwona dioda sygnalizacyjna.

**Przy poprawnej pracy układu zasilacz nie powinien wykazywać poboru prądu poza stałym prądem diody sygnalizacyjnej (ok. 0,02 A) i przejściowym prądem ładowania kondensatora stabilizującego wewnątrz układu (nie więcej niż 0,05 A). Jeżeli podczas nastawiania lub później obserwowane jest coś innego, należy natychmiast wyłączyć zasilacz i poprosić prowadzącego o ponowne sprawdzenie układu.**

8. Za pomocą programu do komunikacji z oscyloskopem, wczytaj do oscyloskopu ustawienia początkowe, znajdujące się w odpowiednim katalogu sieciowym:

- z menu wybierz *File* ▶ *Open* i otwórz plik z ustawieniami, w kolejnym oknie dialogowym wybierając *Offline*:

[wzmacniacz AM503B] *ustawienia\_3a\_am503.sht*;

[wzmacniacz TCPA300] *ustawienia\_3a\_tcpa300.sht*;

- na liście w lewym panelu bocznym rozwiń zainstalowany oscyloskop ▶ *Data* ▶ *Settings*;
- w oknie pliku ustawień zaznacz całą jego zawartość i przeciągnij myszą do pozycji *Full Setup* w lewym panelu bocznym;
- zaczekaj na zakończenie wprowadzania zmian na oscyloskopie, o którego trwaniu świadczą zmiany elementów ekranu (liter, cyfr, krzywych).

### Pomiar próbny

9. Za pomocą przycisków *CH1/2/3/4 Menu* na oscyloskopie, wyświetl przebieg z kanału 1, ukryć ze wszystkich pozostałych.

Przyciski *CHx Menu* (gdzie *x* – numer kanału) powodują naprzemienne wyświetlanie i ukrywanie przebiegu z danego kanału oscyloskopu. Wyświetlanie danego przebiegu sygnalizowane jest przez strzałkę wskazującą poziom zera z lewej strony podziałki oraz przez symbol kanału „CHx” pod podziałką.

10. Wygeneruj impuls przełączający tranzystor wciskając czerwony przycisk na panelu układu. Na oscyloskopie na moment powinien pojawić się komunikat „Trig'd” (Triggered) nad podziałką oraz powinien zostać wyświetlony przebieg napięcia  $u_{GS}$ . Jeżeli to nie nastąpi, należy poprosić prowadzącego o sprawdzenie ustawień oscyloskopu.

11. Dostosuj (generując impuls przełączający po każdej zmianie ustawień) podstawę czasu i położenie chwili wyzwolenia (pokręćła *Sec/Div* i *Horizontal Position*) tak, aby impuls napięcia  $u_{GS}$  był widoczny w całości (por. rys. 4b) i zajmował w poziomie większość ekranu.

12. Przyciskiem *CH2 Menu* wyświetl przebieg z kanału 2 – napięcia  $u_{DS}$ . Skontroluj poprawność przebiegu (patrz rys. 4b).

13. Jeżeli którykolwiek z przebiegów wykracza poza ekran (pominąć ewentualne krótkie szpilki), dla odpowiedniego kanału wyreguluj wzmocnienie i położenie poziomu zera (pokręta *Volts/Div* i *Vertical Position*).
14. Przyciskiem *CH4 Menu* wyświetl przebieg z kanału 4 (jego obecna postać nie jest istotna).
15. Skonfiguruj sondę prądową i jej połączenie z oscyloskopem postępując według dostępnej na stanowisku instrukcji do sondy. Obowiązkowo należy przeczytać i zastosować się do podanych w instrukcji do sondy wskazówek dotyczących konfiguracji oscyloskopu.

W odpowiednim momencie:

- wyjście wzmacniacza przyłącz do kanału 4;
  - ustaw wstępnie współczynnik przetwarzania prąd-napięcie na wartość umożliwiającą pomiar i wyświetlenie na oscyloskopie przebiegu o amplitudzie  $I_0$  ustalonej w pkt. 3 (patrz informacje o działaniu wzmacniacza sondy i jego współpracy z oscyloskopem podane w instrukcji do sondy).
16. Na wzmacniaczu sondy ustaw sprzężenie z przenoszeniem składowej stałej – *Coupling*: DC.
  17. Zamknij sondę wokół odpowiedniego fragmentu przewodu tak, by mierzyć prąd drenu  $i_D$  i aby mierzony kierunek tego prądu był zgodny z rzeczywistym (biorąc pod uwagę układ połączeń pokazany na panelu układu doświadczalnego).
  18. Generując impuls przełączający, dostosuj:
    - wzmocnienie w torze pomiarowym w sposób opisany w instrukcji do sondy, oraz
    - położenie przebiegu – pokręteł *Vertical Position* kanału 4 (na oscyloskopie),

tak, aby przebieg prądu był widoczny optymalnie, tj. wypełniał ekran w pionie w maksymalnym stopniu, ale poza niego nie wykraczał. Skontrolować poprawność przebiegu (patrz rys. 4b).

Jeżeli współczynnik przetwarzania wzmacniacza sondy został znacznie zmieniony (o rząd wielkości lub więcej), to należy powtórzyć procedurę kalibracji i rozmagnesowania zamykając sondę poza przewodem.

## 4.4. Wykonanie pomiarów przebiegów

### Pełny cykl przełączania

1. Wygeneruj impuls przełączający. Upewnij się, że obraz przebiegów jest nadal poprawny. Sprawdź, czy amplituda impulsu prądu obserwowana na oscyloskopie jest w przybliżeniu równa wartości ustalonej w pkt. 4.3/3 [patrz wskazówka dotycząca odczytu przelicznika napięcie-prąd w instrukcji do sondy prądowej].

**Pominięcie powyższego punktu może spowodować duże trudności na etapie opracowywania wyników!**

2. W razie potrzeby dostosuj:
  - wzmocnienie na kanałach napięciowych (1 i 2) – pokrętko *Volts/Div*,
  - wzmocnienie w torze pomiaru prądu – w sposób opisany w instrukcji do sondy prądowej,
  - położenie przebiegów – pokrętki *Vertical Position*,

tak, aby każdy przebieg, od swojego poziomu zera (wskazywanego przez strzałkę na lewo od podziałki) do swojej wartości maksymalnej, zajmował jak największą część całego obszaru ekranu w pionie, ale pozań nie wykraczał (nadal zaniebagać ewentualne krótkie szpilki).

3. Zarejestruj komplet 3 przebiegów  $u_{GS}$ ,  $u_{DS}$  i  $i_D$  (razem):
  - a) w programie WaveStar utwórz nowy arkusz typu *YT Sheet*;
  - b) z panelu bocznego (*Local* ▶ oznaczenie oscyloskopu ▶ *Data* ▶ *Waveforms* ▶ oznaczenie kanału) do utworzonego arkusza przeciągnij 3 przebiegi wyświetlane na ekranie oscyloskopu;

Raz przeciągnięte przebiegi wystarczy później tylko odświeżać wciskając przycisk *Refresh Sheet* lub z menu *View* ▶ *Refresh Datasheet*.

Przebieg można usunąć z arkusza klikając na jego numerze z lewej strony podziałki i wciskając klawisz *Delete*.

- c) arkusz, zawierający wszystkie 3 przebiegi jednocześnie, zapisz w formacie programu WaveStar (SHT) – przycisk *Save Datasheet* (Ctrl+S);

Nie używać funkcji *Save Worksheet*, która nie powoduje zapisania żadnych danych pomiarowych, a jedynie nazwy otwartych arkuszy.

- d) zanotuj bieżące ustawienie wzmocnienia sondy prądowej (patrz sekcja „Przetwarzanie prąd-napięcie” w instrukcji do używanej sondy; jeżeli instrukcja ta mówi, że przeliczanie nie jest konieczne, to należy zanotować wartość 1 A/V).

### Dokładna obserwacja stanu załączania

4. Zarejestruj przebiegi umożliwiające wyznaczenie czasowych i energetycznych parametrów dynamicznych dla załączania tranzystora (nie dla jakiegokolwiek innego stanu pracy):
  - a) ustaw podstawę czasu (*Sec/Div*), położenie momentu wyzwania (*Horizontal Position*) oraz ewentualnie poziom wyzwania (*Level*) tak, aby z maksymalną dokładnością obserwować przebieg załączania tranzystora (nie jakiegokolwiek innego stanu pracy) zarówno w obwodzie głównym, jak i w obwodzie sterowania, tj. na odcinku  $t_{on,G}$  (zob. rys. 4b);
  - b) jeżeli skutek niedoskonałego działania sondy prądowej, widoczna na oscyloskopie wartość prądu w stanie wyłączenia – o której wiadomo, iż w bieżącej skali jest niezauważalnie mała – nie jest zlokalizowana dokładnie na poziomie zera odpowiedniego kanału oscyloskopu (wskazywanym przez strzałkę na lewo od podziałki), należy przebieg prądu odpowiednio

przesunąć na wzmacniaczu sondy, tak aby wartość ta znalazła się dokładnie na tym poziomie:

- [wzmacniacz AM503B] pokrętelem *Output DC Level*,
- [wzmacniacz TCPA300] przyciskami *Manual Balance*  $\uparrow/\downarrow$  (ze względu na dużą amplitudę prądu, przycisk należy przytrzymać przez kilkanaście sekund, by przesunięcie przebiegu stało się zauważalne);

**Niewykonanie powyższego podpunktu może spowodować, iż wyniki będą błędne.**

- c) upewnij się, że na ekranie widoczne są wszystkie chwile przekroczenia wszystkich potrzebnych progów pozwalające na wyznaczenie wszystkich parametrów czasowych stanu załączania (patrz rys. 6) – w przeciwnym razie dostosuj podstawę czasu (*Sec/Div*), położenie momentu wyzwania (*Horizontal Position*) oraz ewentualnie poziom wyzwania (*Level*);
- d) upewnij się, że ustawienia kanałów nadal spełniają wymagania podane w pkt. 2, jednak obecnie z uwzględnieniem ewentualnych przebiegów – w przeciwnym razie zmień je zgodnie z pkt. 2;
- e) w programie WaveStar utwórz 2 nowe arkusze – typu *YT Sheet* i typu *Power Harmonics*;

Arkusze *Power Harmonics* umożliwią między innymi wymnożenie dwóch przebiegów przez siebie. Jeżeli przebiegami tymi będą prąd  $i$  płynący między węzłami obwodu oraz napięcie  $u$  między tymi węzłami, uzyskany iloczyn  $i \cdot u$  z definicji będzie mocą chwilową  $p$  wydzielaną w elementach znajdujących się między tymi węzłami.

- f) użyj arkusza *Power Harmonics* do obliczenia przebiegu chwilowej mocy strat  $p_D$ :
  - do okienka *Current Waveform* na dole arkusza *Power Harmonics* przeciągnij przebieg prądu  $i_D$  z panelu bocznego;
  - do okienka *Voltage Waveform* przeciągnij przebieg napięcia odpowiedniego do uzyskania mocy strat w obwodzie drenu tranzystora  $p_D$  (nie jakiegokolwiek innego iloczynu przebiegów);

**Kolejny podpunkt należy najpierw przeczytać w całości łącznie z uwagami poniżej, a dopiero później przystąpić do jego wykonywania.**

- g) do arkusza *YT Sheet* przeciągnij komplet 4 przebiegów  $u_{GS}$ ,  $u_{DS}$ ,  $i_D$ ,  $p_D$ ;

**Aby nie tracić czasu na ponowne pobieranie z oscyloskopu (czynność ta będzie jeszcze kilkakrotnie powtarzana), wszystkie 3 przebiegi wyświetlane już w arkuszu *Power Harmonics* należy przeciągnąć z tego arkusza, nie z panelu bocznego. Jedynie przebieg brakujący trzeba przeciągnąć z panelu bocznego.**

Przez ukończeniem wszystkich pomiarów opisanych w niniejszej instrukcji, w programie WaveStar nie należy zmieniać żadnych parametrów przebiegów. Jedyne wyjątki to:

- zmiana koloru z paska narzędzi na górze okna arkusza;
- przesunięcie poziomu zera za pomocą strzałki z lewej strony od podziałki;
- przesunięcie chwili wyzwolenia opisane w podpunkcie h).

Wszelkie inne zmiany spowodują niemożność skorzystania z funkcji odświeżania arkuszy, co znacząco wydłuży czas wykonywania ćwiczenia.

- h) z reguły konieczna będzie synchronizacja przebiegu mocy z pozostałymi – w tym celu należy zaznaczyć przebieg mocy klikając na numerze przebiegu z lewej strony podziałki, a następnie kolorowy suwak nad podziałką umieścić dokładnie między białymi znacznikami w formie nawiasów kwadratowych;
  - i) zapisz arkusz *YT Sheet* zawierający komplet 4 przebiegów oraz zanotuj bieżące ustawienie wzmocnienia sondy prądowej (jeżeli uległo zmianie).
5. Wyłącz zasilacz obwodu mocy. Wymień opornik bramkowy  $R_G$  na 220  $\Omega$ . Włącz zasilacz.



Po ponownym załączeniu zasilacza, przejściowo może włączyć się ograniczenie prądowe. Powinno ono samoczynnie wyłączyć się po zakończeniu ponownego ładowania kondensatora na wejściu układu doświadczalnego. Nie powinno to trwać dłużej niż kilka sekund.

6. Uzyskaj i zarejestruj przebiegi w nowych warunkach:
  - a) wygeneruj impuls przełączający;
  - b) upewnij się, że na ekranie widoczne są wszystkie chwile przekroczenia wszystkich potrzebnych progów pozwalające na wyznaczenie wszystkich parametrów czasowych stanu załączania – w przeciwnym razie dostosuj podstawę czasu (*Sec/Div*), położenie momentu wyzwiania (*Horizontal Position*) oraz ewentualnie poziom wyzwiania (*Level*);
  - c) jeżeli wskutek niedoskonałego działania sondy prądowej, widoczna na oscyloskopie wartość prądu w stanie wyłączenia – o której wiadomo, iż w bieżącej skali jest niezauważalnie mała – nie jest zlokalizowana dokładnie na poziomie zera odpowiedniego kanału oscyloskopu (wskazywanym przez strzałkę na lewo od podziałki), należy przebieg prądu odpowiednio przesunąć na wzmacniaczu sondy, tak aby wartość ta znalazła się dokładnie na tym poziomie:
    - [wzmacniacz AM503B] pokręć *Output DC Level*,
    - [wzmacniacz TCPA300] przyciskami *Manual Balance*  $\hat{u}/\hat{d}$  (ze względu na dużą amplitudę prądu, przycisk należy przytrzymać przez kilkanaście sekund, by przesunięcie przebiegu stało się zauważalne);
  - d) upewnij się, że ustawienia kanałów nadal spełniają wymagania podane w pkt. 2, jednak z uwzględnieniem ewentualnych przebiegów – w przeciwnym razie zmień je zgodnie z pkt. 2;
  - e) najpierw odśwież arkusz *Power Harmonics* (uaktywij ten arkusz i wciśnij przycisk *Refresh Sheet* lub wybierz z menu *View* ▶ *Refresh Datasheet*, nie *Refresh Workbook*);
  - f) następnie analogicznie odśwież arkusz *YT Sheet*;
  - g) zsynchronizuj przebieg mocy z pozostałymi;
  - h) zapisz arkusz *YT Sheet* zawierający komplet 4 przebiegów oraz zanotuj bieżące ustawienie wzmocnienia sondy prądowej (jeżeli uległo zmianie).

### Dokładna obserwacja stanu wyłączenia

7. Zarejestruj przebiegi umożliwiające wyznaczenie czasowych i energetycznych parametrów dynamicznych dla wyłączenia tranzystora:
  - a) przed wykonaniem jakichkolwiek innych czynności przełącz się na wyzwianie z boczem opadającym napięcia  $u_{GS}$  – *Trigger Menu*, *Slope: Falling*;

**Niewykonanie powyższego podpunktu znacząco wydłuży wykonanie ćwiczenia, między innymi przez utrudnienie uzyskania obrazu przebiegu mocy chwilowej w aplikacji na komputerze.**

- b) powtórz pkt 6 w całości, tzn wszystkie jego podpunkty (a nie tylko niektóre), z tym że oceniając poprawność obserwowanych przebiegów należy oczywiście rozważać wyłączenie zamiast załączania.

**Niewykonanie ppkt. 6.b) w większości przypadków spowoduje, że obserwowany obraz nie pozwoli na odczyt niezbędnych danych liczbowych na etapie przetwarzania wyników. Niewykonanie ppkt. 6.c) może spowodować, że wyniki będą błędne.**

8. Wymień opornik bramkowy  $R_G$  na  $470 \Omega$ , postępując jak w pkt. 5.
9. Powtórz pkt 6 w całości, tzn wszystkie jego podpunkty (a nie tylko niektóre), nadal rozważając wyłączenie zamiast załączania.

### Obwód bramki przy zerowym napięciu dren-źródło

10. \* Sprowadź napięcie  $U_{DD}$  do zera.

11. \* Zmień zbocze wyzwalające na narastające (*Trigger Menu, Slope: Rising*).
12. \* Za pomocą nowego arkusza *YT Sheet* zarejestruj tylko przebiegi napięć (tj.  $u_{GS}$  i  $u_{DS}$ ) dla stanu załączania.

### Zakończenie pomiarów

13. [wzmacniacz AM503B] Na wzmacniaczu sondy prądowej sprowadź nastawę pokrętkła *Output DC Level* do wartości 0,0 (jest ona wyświetlana w polu *Current/Division* podczas nastawiania).
14. Sprowadź do zera napięcie zasilania obwodu mocy. Zaczekaj na zgaśnięcie czerwonej diody sygnalizacyjnej na płycie układu.
15. Sprowadź do zera napięcie zasilania obwodu sterowania.
16. Wyłącz zasilacze i rozłącz układ; nie odłączaj jednak: sond napięciowych od oscyloskopu, sondy prądowej od jej wzmacniacza, a wzmacniacza sondy od oscyloskopu.
17. Wymontuj opornik obciążający, opornik bramkowy i tranzystor; nie usuwaj zwory z poczwórnej listwy zaciskowej. Dokręć na powrót śrubki w zwolnionych listwach zaciskowych.

## 5. Opracowanie i analiza wyników

---

### 5.1. Tranzystor jako łącznik i parametry stanów statycznych

#### Cykl przełączania

1. Uruchom program WaveStar.
2. Otwórz zestaw przebiegów  $\{u_{GS}; u_{DS}; i_D\}$  dla pełnego impulsu napięcia sterującego – zarejestrowany w pkt. 4.4/3.
3. Na podstawie zanotowanej w pkt. 4.4/3 nastawy współczynnika przetwarzania prąd-napięcie wzmacniacza sondy prądowej, wyznacz mnożnik  $k_i$  w amperach na wolt – przez który należy przemnożyć wykazywaną w programie WaveStar wartość w woltach, aby uzyskać rzeczywistą wartość prądu w amperach.

Wartości wykazywane w programie WaveStar dla przebiegów prądu są *de facto* zarejestrowanymi przez oscyloskop wartościami napięcia pochodzącego ze wzmacniacza sondy prądowej. Będziemy je oznaczać gwiazdką. Napięcie to jest proporcjonalne do prądu zgodnie z zanotowanym współczynnikiem przetwarzania wzmacniacza sondy prądowej. Mnożnik, wynikający bezpośrednio z tego współczynnika, ale ze względów praktycznych wyrażony w jednostkach pierwotnych SI, tj. A/V, pozwoli otrzymać rzeczywiste wartości w amperach:  $i = u_i \cdot k_i$ , gdzie  $u_i$  jest wartością napięcia wykazywaną na przebiegu prądu na oscylogramie. Przykładowo, jeżeli współczynnik wzmocnienia sondy wynosił 5 A / 10 mV, to  $k_i = 5 \text{ A} / 10 \text{ mV} = 500 \text{ A/V}$ .

Zgodnie z instrukcją do sondy ze wzmacniaczem A6302/A6312+AM503B, wartość podawana na wyświetlaczu miała jednostkę A/10 mV lub mA/10 mV. W przypadku wzmacniacza TCPA300, pod warunkiem konfiguracji oscyloskopu zgodnie z instrukcją, spodziewany jest współczynnik 1 A/V [patrz pkt 4.4/3.d)].

4. Wypełnij część 1 sprawozdania.

Do wykonania poleceń konieczne będzie wykorzystanie w programie WaveStar kursorów zgodnie z poniższymi wskazówkami.

1. Aby włączyć kursory, należy wybrać z menu *View* ▶ *Properties* ▶ *Cursor* i wybrać typ kursora odpowiedni dla wykonywanego pomiaru (poziomy – *horizontal*, pionowy – *vertical*, sprzężony – *paired*, punktowy – *crosshair*). W aktywnym arkuszu *YT Sheet* pojawią się wartości odpowiadające aktywnemu przebiegowi, w zależności od rodzaju kursora:
  - X, Y – współrzędne aktywnego (linia ciągła) kursora;
  - X1, Y1 i X2, Y2 – współrzędne pierwszego i drugiego kursora;
  - dX, dY – różnica współrzędnych drugiego i pierwszego kursora.
2. Aktywny przebieg wybierany jest przez kliknięcie na jego numerze z lewej strony podziałki. Numer aktywnego przebiegu jest stale podświetlony. Numery nakładają się, jeżeli poziomy zera kilku przebiegów znajdują się na tej samej wysokości; w takim wypadku, aby móc zaznaczyć przebieg znajdujący się pod spodem, przebieg wierzchni należy najpierw przesunąć.
3. W rozróżnieniu poszczególnych przebiegów pomoże włączenie kolorowania legendy: menu *View* ▶ *Properties* ▶ *Plot*, zaznaczyć *Waveform notes color match waveform color*.
4. Po przełączeniu na inny przebieg, kursor poziomy pozostaje na tej samej wysokości w woltach (nie działkach). Oznacza to, że przy dużej różnicy skali (V/div) kursor może znaleźć się poza ekranem. W takiej sytuacji, przed przełączeniem się na drugi przebieg, kursor należy ustawić w pobliżu zera.

### **Rezystancja dren-źródło i napięcie progowe**

5. Wypełnij część 2 sprawozdania.

### **Tranzystor jako łącznik w stanach statycznych**

6. Wypełnij część 3 sprawozdania.

### **Działanie w stanach dynamicznych**

7. Wypełnij część 4 sprawozdania.

## 5.2. Parametry dynamiczne

### Uruchomienie programu Scilab

1. Uruchom pakiet do obliczeń numerycznych Scilab.
2. Aby w dalszym ciągu pracy nie wpisywać za każdym razem pełnej ścieżki dostępu do plików z danymi pomiarowymi (pliki programu WaveStar), można zmienić katalog roboczy na katalog zawierający te pliki, wpisując polecenie

```
cd('ścieżka_dostępu_do_pomiarów');
```

3. Wczytaj skrypt zawierający funkcje potrzebne do obliczenia energii wydzielanej w tranzystorze, wpisując polecenie (w razie potrzeby należy dodać ścieżkę dostępu do pliku)

```
exec('wavestar_calka.sce');
```

### Czasowe parametry dynamiczne

4. Na podstawie odczytanych dotychczas i zamieszczonych w sprawozdaniu odpowiednich wartości napięć i prądu w stanach statycznych, oblicz wartości bezwzględne – tj. w woltach lub amperach, a nie w procentach – odpowiadające poszczególnym wartościom procentowym występującym w technicznych definicjach parametrów czasowych i energetycznych zgodnie z normą IEC 60747-8-4 (zob. par. 2.5.b i 3.3.e).
5. W programie WaveStar przejdź do lub otwórz zestaw przebiegów  $\{u_{GS}; u_{DS}; i_G; p_G\}$  dla procesu załączania, dla  $R_G = 470 \Omega$  – zarejestrowanego w pkt. 4.4/4.
6. Wyznacz parametry czasowe stanu załączania:
  - a) za pomocą kursorów sprzężonych, odczytaj wartość czasu opóźnienia załączania  $t_{d(on)}$  zgodnie z normatywną definicją techniczną (patrz par. 2.5.b), w oparciu o wartości obliczone w pkt. 4 (zob. rys. 14);

Przykłady odczytu wartości podane na rysunkach w tym podrozdziale pokazują jedynie sposób postępowania. Nie sugerują one poprawnych wartości ani wyglądu przebiegów w arkuszu. W celu zwiększenia czytelności, przykładowe oscylogramy zawierają wyłącznie przebiegi niezbędne do wykonania konkretnego podpunktu.

- b) analogicznie odczytaj wartość czasu narastania  $t_r$  zgodnie z normatywną definicją techniczną.

### Energetyczne parametry dynamiczne

7. Wyznacz parametry impulsu mocy generowanej podczas załączania:

Wartości mocy chwilowej powstały przez wymnożenie napięć rejestrowanych na odpowiednich kanałach oscyloskopu. Jedno z nich było równe rzeczywistemu napięciu  $u$ , a drugie  $u_i$  było proporcjonalne do prądu  $i$  zgodnie ze współczynnikiem  $k_i$  (patrz pkt 5.1/3). Przebieg mocy wykazywany jest więc na oscylogramie w jednostce V·V, jako iloczyn  $y_p = u \cdot u_i$ . Aby uzyskać wartość mocy w watach, należy przemnożyć odczyt  $y_p$  przez współczynnik  $k_i$ , gdyż  $p = u \cdot i = u (u_i k_i) = (u u_i) k_i = y_p k_i$ .

- a) za pomocą kursora, wykorzystując współczynnik  $k_i$ , odczytaj wartość szczytową chwilowej mocy strat  $P_{D(on)pk}$  (patrz rys. 15);
- b) za pomocą kursorów odczytaj współrzędne granic całkowania  $t_{inf(on)}$  i  $t_{sup(on)}$  zgodnie z wymaganiami normy w odniesieniu do energii wydzielanej podczas załączania  $W_{D(on)}$  (patrz par. 3.3.e oraz rys. 16);

- c) wyeksportuj dane do pliku tekstowego typu CSV (*comma-separated values*) wybierając z menu *File* ▶ *Export Datasheet* ▶ *CSV*.
8. W programie Scilab oblicz energię wydzielaną podczas załączania  $W_{D(ON)}$ :
- a) odczytaj wyeksportowane dane poleceniem

```
[naglowek,dane]=wczytaj_ws('nazwa_pliku.csv');
```

Przy obliczeniach dla kolejnych przypadków można przywołać wcześniej wpisane polecenie klawiszem ↑.

- b) oblicz energię  $W_{D(ON)}$  jako całkę przebiegu  $p_D$  za przedział od  $t_{inf(ON)}$  do  $t_{sup(ON)}$  [wzór (3.37)], z uwzględnieniem mnożnika  $k_i$ , wydając polecenie

```
calka_infsup(dane,numer_przebiegu_pd,tinf,tsup,ki)
```

Parametr *numer\_przebiegu* to numer kolejny przebiegu  $p_D$  zgodnie z rosnącą numeracją w programie WaveStar (nie numer kanału oscyloskopu). Np. jeżeli w programie WaveStar wyświetlane są: 2)  $u_{DS}$ , 3)  $i_D$ , 5)  $p_D$ , 6)  $u_{GS}$ , to przebieg  $p_D$  jest trzecim z kolei, należy więc podać *numer\_przebiegu* = 3; jeżeli zaś numeracja zaczyna się od 1 i nie ma przerw, to *numer\_przebiegu* jest identyczny jak w programie WaveStar.

Można również wykorzystać alternatywną postać funkcji całkującej, *calka\_infint()*. Działa ona identycznie jak poprzednia, jedynie zamiast górnej granicy całkowania  $t_{sup}$  przyjmuje za parametr czas całkowania  $t_{int}$ . Jest to o tyle wygodniejsze, że z okna *YT Sheet* można za jednym razem przepisać oba parametry czasowe ( $X$  i  $dX$ ).

Przykładowo, przy założeniu, że kolejność wyświetlania przebiegów w programie WaveStar była następująca: 1)  $u_{GS}$ , 2)  $u_{DS}$ , 3)  $i_D$ , 4)  $p_D$ , zaś pozostałe parametry mają wartości jak na rysunkach 15 i 16 (patrz podpisy do rysunków):

```
calka_infsup(dane,4,40E-9,876E-9,100)
```

lub

```
calka_infint(dane,4,40E-9,836E-9,100)
```

lub

```
calka_infint(dane,4,876E-9,-836E-9,100)
```

- c) powyższa funkcja zwróci wartość całki w dżulach i kontrolnie wykreśli przebieg  $p_D$  przeskalowany przez  $k_i$  oraz zaznaczy obszar, którego polu odpowiada obliczona całka; na podstawie tego wykresu kontrolnego sprawdź (por. rys. 10 i 17):
- czy wartość szczytowa mocy widoczna na wykresie (zgodnie z podziałką osi Y) zgadza się z obliczoną w pkt. 7.a),
  - czy całka została obliczona za właściwy fragment przebiegu mocy,
- a jeżeli nie – poprawnie wyznacz granice przedziału całkowania, zweryfikuj użytą wartość mnożnika  $k_i$  i oblicz energię ponownie;
- d) zapisz wykres kontrolny poleceniem *Plik* ▶ *Eksportuj do* (zaleca się format PNG).

### Dalsze przypadki

9. Powtórz punkty 5–8 dla drugiej z wartości  $R_G$  – w oparciu o zestaw przebiegów zarejestrowany w pkt. 4.4/6.
10. Powtórz punkty 5–8 dla stanu wyłączania, dla  $R_G = 470 \Omega$  (zestaw przebiegów zarejestrowany w pkt. 4.4/9) i dla drugiej z wartości  $R_G$  (zestaw przebiegów zarejestrowany w pkt. 4.4/7), w celu wyznaczenia odpowiednio parametrów czasowych  $t_{d(off)}$  i  $t_f$  oraz energetycznych  $P_{D(off)pk}$  i  $W_{D(off)}$ .

Przeregulowanie, które może być widoczne na prądzie drenu po wyłączeniu tranzystora, jest wyłącznie następstwem niedoskonałości sondy prądowej. Przez przyrząd nie płynie już od tego momentu prąd i nie może się w nim wydzielać żadna moc. Nie należy więc brać pod uwagę tego przeregulowania przy wyznaczaniu chwili  $t_{sup(off)}$ .

## Podsumowanie wyników

11. W odpowiednich miejscach w części 5 sprawozdania zamieść wykorzystane oscylogramy dla drugiej z wartości  $R_G$  oraz wykresy kontrolne otrzymane podczas obliczeń parametrów energetycznych.
12. Wyznaczone do tej pory parametry czasowe i energetyczne zamieść w tabelach w części 5 sprawozdania. Aby umożliwić analizę wyników, wszystkie czasy dla wszystkich przypadków muszą być podane w tej samej jednostce; analogicznie wszystkie wartości mocy i wszystkie wartości energii (włącznie z tymi, które zostaną obliczone w dalszym ciągu).
13. Oblicz (zob. podrozdz. 2.5) i dodaj do odpowiednich tabel czas załączania  $t_{on}$  i czas wyłączenia  $t_{off}$ .
14. Oblicz i zamieść w ostatnim wierszu tabel iloraz zmiany (ile razy zmieniają się – nie o jaką wartość zmieniają się) każdego z parametrów (ze wszystkich kolumn, w tym  $R_G$ ) wraz ze zmianą rezystancji z mniejszej na większą (nie odwrotnie – tak, aby uzyskać w większości przypadków liczby większe od 1), tj.

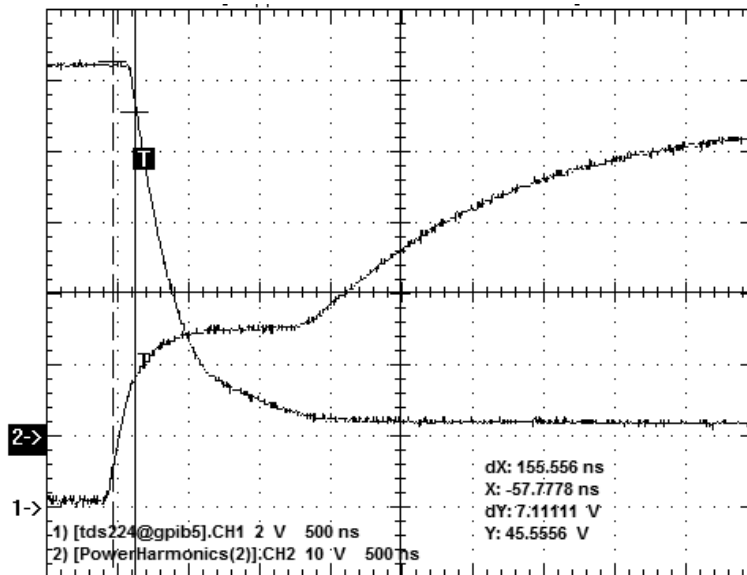
$$q_{HL}(X) = \frac{X(R_{GH})}{X(R_{GL})} \quad (5.1)$$

gdzie  $X$  oznacza dany parametr tranzystora, zaś  $R_{GH}$  i  $R_{GL}$  – odpowiednio większą i mniejszą z wartości rezystancji  $R_G$ .

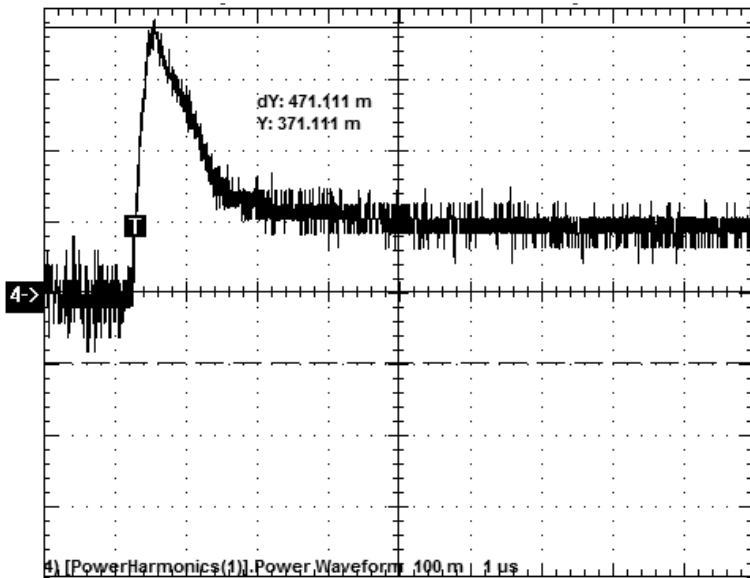
15. Uzupełnij część 5 sprawozdania.

## Analiza parametrów energetycznych

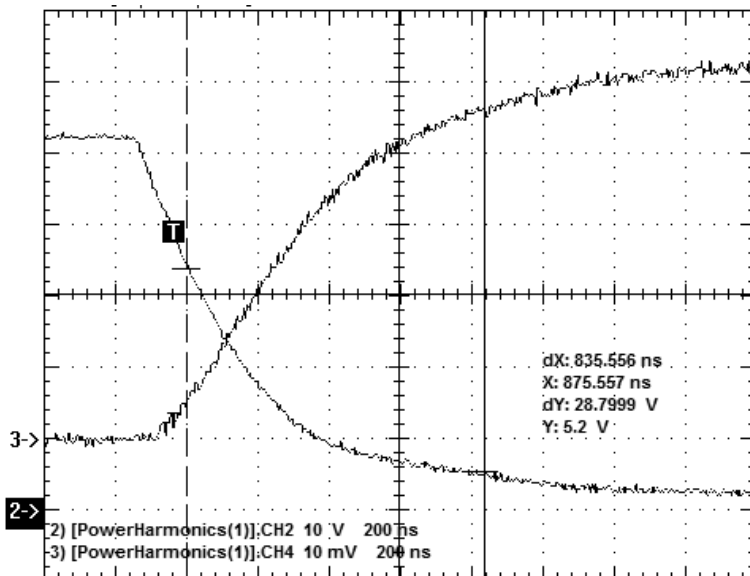
16. Wypełnij część 6 sprawozdania.



Rys. 14. Przykład odczytu czasu  $t_{d(on)} = 156$  ns (wskazanie dX). Wartość Y pokazuje, że prawy kursor został ustawiony w pierwszym punkcie, w którym wartość względna przebiegu  $u_{DS}$  jest mniejsza od 90%, co w tym przypadku odpowiada 47,0 V

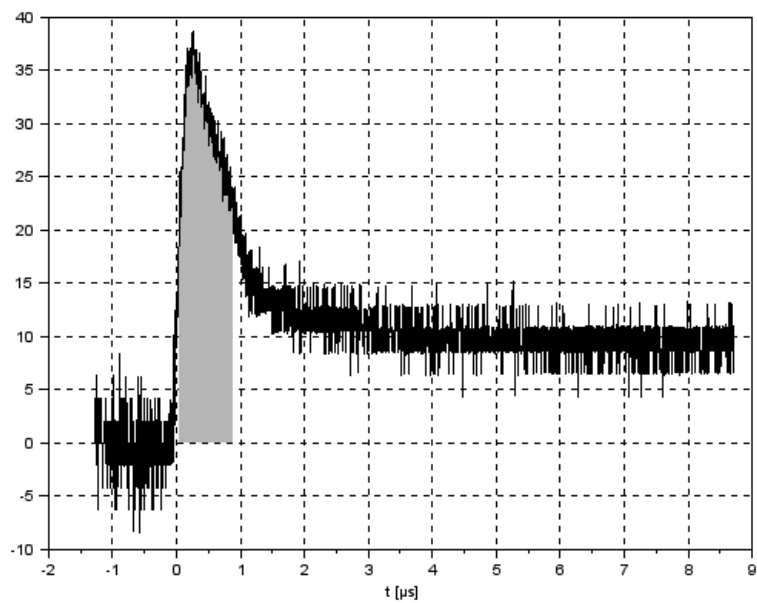


Rys. 15. Przykład odczytu wartości szczytowej mocy  $P_{D(on)pk}^* = 371 \text{ mV}\cdot\text{V}$ . Jeżeli przykładowo  $k_i = 100 \text{ A/V}$ , to ostatecznie  $P_{D(on)pk} = 37,1 \text{ W}$ .



Rys. 16. Przykład odczytu wartości  $t_{sup(on)} = 876 \text{ ns}$  z przebiegu  $u_{DS}$  (w tym przypadku wartości względnej 10% odpowiada wartość bezwzględna  $5,20 \text{ V}$ ); drugi kursor (na przebiegu  $i_D$ ) wskazuje chwilę  $t_{inf(on)} = 40 \text{ ns}$ . Długość przedziału całkowania (wskazanie  $dX$ ) wynosi więc  $\Delta t_{Won} = 836 \text{ ns}$





Rys. 17. Wykres kontrolny z programu Scilab przy poprawnym wyznaczeniu energii wydzielanej podczas załączania dla przebiegów z rys. 15 i 16



## 6. Wymagana wiedza

---

### 6.1. Przygotowanie do wykonywania ćwiczenia

- Przebiegi napięć i prądów podczas przełączania tranzystora MOSFET z obciążeniem rezystancyjnym (zob. par. 2.4)
- Definicje fizyczne i techniczne dynamicznych parametrów czasowych i energetycznych tranzystora MOSFET (zob. par. 2.5 i 3.3)

### 6.2. Zakres kolokwium

1. Definicja i funkcja łącznika. Stany statyczne i dynamiczne. Łącznik idealny i rzeczywisty oraz ich podstawowe parametry. Wielkości fizyczne stanowiące wymuszenie i odpowiedź z punktu widzenia łącznika w różnych statycznych stanach pracy. (zob. instrukcję 0, par. 4.1 i 4.2)
2. Zasada sterowania napięciowo-ładunkowego: napięciowy i ładunkowy warunek załączenia, prąd bramki. (zob. par. 2.2)
3. Pojemności pasożytnicze tranzystora VDMOS: lokalizacja na schemacie zastępczym, lokalizacja w strukturze półprzewodnikowej, interpretacja fizyczna (bez wzorów i szczegółów zjawisk fizycznych), zależność od napięcia  $U_{DS}$  (graficznie, bez wzorów). (zob. par. 2.3)
4. Przebiegi napięć i prądu podczas przełączania tranzystora VDMOS z obciążeniem rezystancyjnym. Obieg punktu pracy na charakterystykach statycznych. Stany pracy i zakresy pracy na charakterystykach statycznych i przebiegach czasowych. Wpływ pojemności pasożytniczych: model RC obwodu sterowania, wzory na zastępczą pojemność wejściową w każdym etapie załączania. Wpływ rezystancji bramkowej. (zob. par. 2.4, sprawozdanie)
5. Dynamiczne parametry czasowe tranzystora MOSFET: definicje fizyczne, definicje techniczne, lokalizacja na przebiegach napięć podczas przełączania. Wpływ rezystancji bramkowej i jego wyjaśnienie w oparciu o uproszczony model obwodu bramki. (zob. par. 2.5, sprawozdanie)

6. Dynamiczne parametry energetyczne tranzystora MOSFET: definicje fizyczne, definicje techniczne. Przebieg mocy chwilowej strat w obwodzie głównym podczas przełączania (skorelowany z przebiegami napięć i prądu); związek z parametrami energetycznymi; wpływ parametrów czasowych i jego wyjaśnienie. (zob. par. 3.3, sprawozdanie)

W przypadku wyników zawartych w sprawozdaniu należy wziąć pod uwagę wyłącznie aspekt jakościowy (charakter zależności), pomijając aspekt ilościowy (konkretne wartości parametrów).

## 7. Literatura

---

- [1] Napieralski A., Napieralska M.: *Polowe półprzewodnikowe przyrządy dużej mocy*. Warszawa: Wydawnictwa Naukowo-Techniczne, 1995.
- [2] Benda V., Gowar J., Grant D. A.: *Power Semiconductor Devices: Theory and Applications*. Chichester: John Wiley & Sons, 1999.