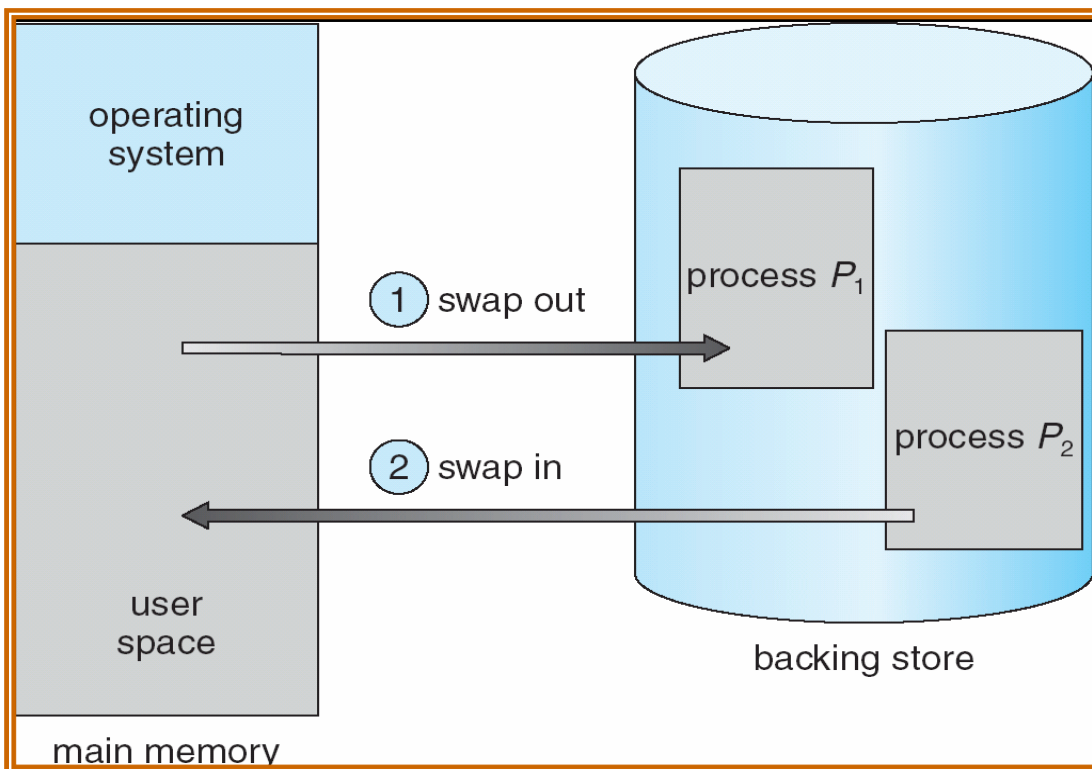


Zarządzanie zasobami pamięci

System operacyjny wykonuje programy umieszczone w pamięci operacyjnej. W pamięci operacyjnej przechowywany jest obecnie wykonywany program (proces) oraz niezbędne dane. Jeżeli system operacyjny obsługuje kilka procesów w pamięci muszą znajdować się poszczególne programy wraz z danymi (przynajmniej częściowo) – procesy współdzielą dostępną pamięć. Po zakończeniu obsługi danego procesu (kończy się czas przeznaczony na obsługę zadania), następuje przełączenie kontekstu. Jeżeli nowy program znajduje się całkowicie w pamięci procesor wznawia pracę, jeżeli nie to program ładowany jest z pamięci pomocniczej (FLASH, HDD).

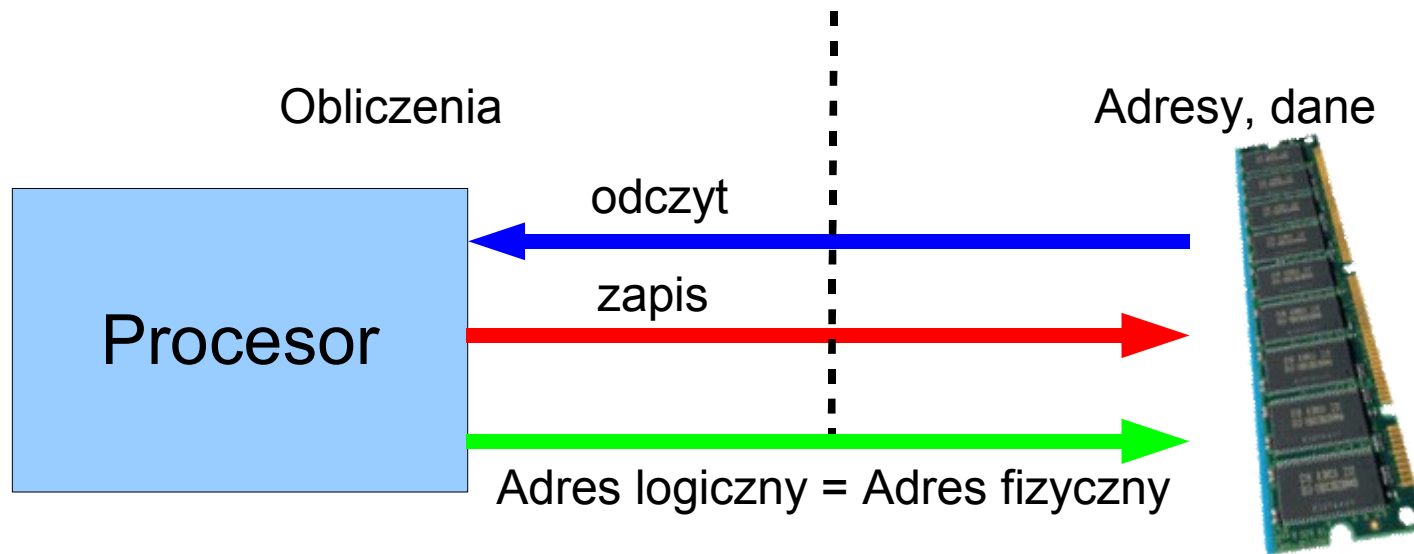


Można wyróżnić cztery podstawowe sposoby zarządzania pamięcią:

1. Płaska przestrzeń adresowa,
2. Przydział ciągły,
3. Stronicowanie pamięci,
4. Segmentacja pamięci.

Wymiana dwu procesów (swapping)

Płaska przestrzeń adresowa



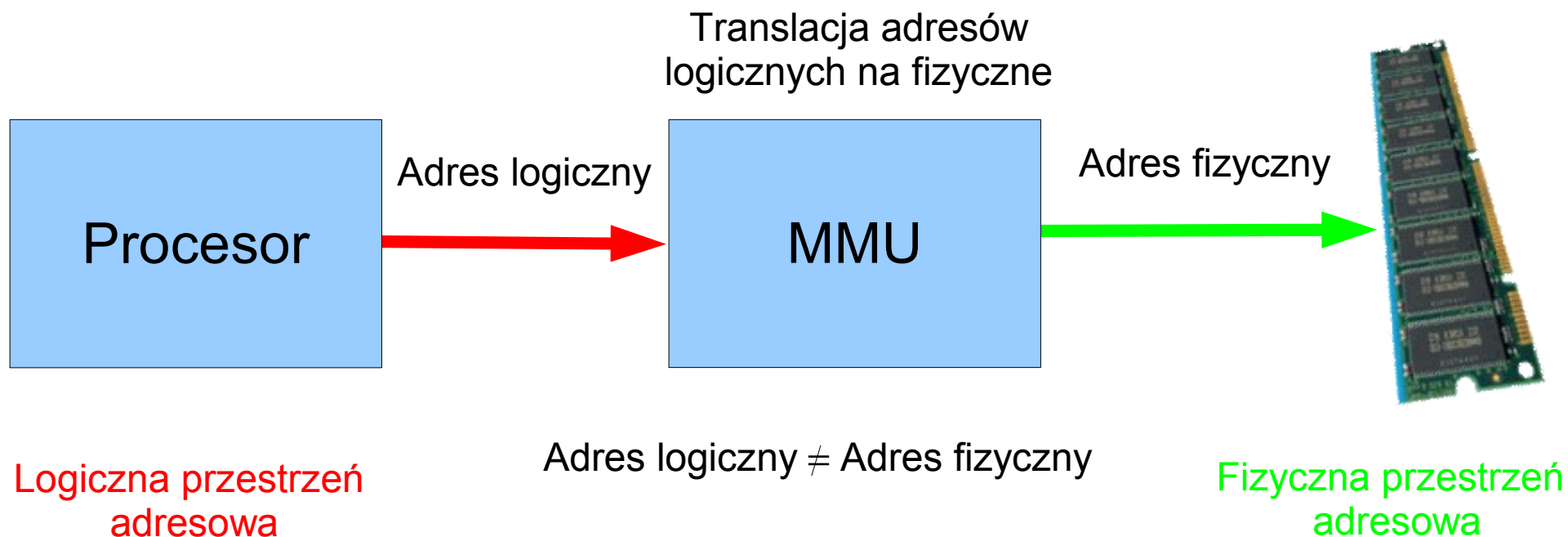
MMU (Memory Management Unit) (1)

MMU jest układem realizującym dostęp do pamięci fizycznej żądanej przez CPU.

Zadania realizowane przez moduł zarządzający pamięcią:

- Translacja adresów logicznych na adresy pamięci fizycznej,
- Ochrona pamięci, kontrola uprawnień,
- Obsługa pamięci podręcznej,
- Zarządzanie szynami danych, przełączanie banków pamięci (mikrokontrolery 8-bitowe),
- Ułatwienie przełączania kontekstu (pamięć wykorzystywana przez proces, stos, itd...),
- Procesor ma bezpośredni dostęp do szybkiej pamięci statycznej, rejestrów oraz urządzeń mapowanych na pamięć,
- Dostęp do głównej pamięci może zająć więcej niż jeden cykl maszynowy (pamięci FLASH, HDD),
- Każdy proces pracuje w oddzielnej przestrzeni pamięci.

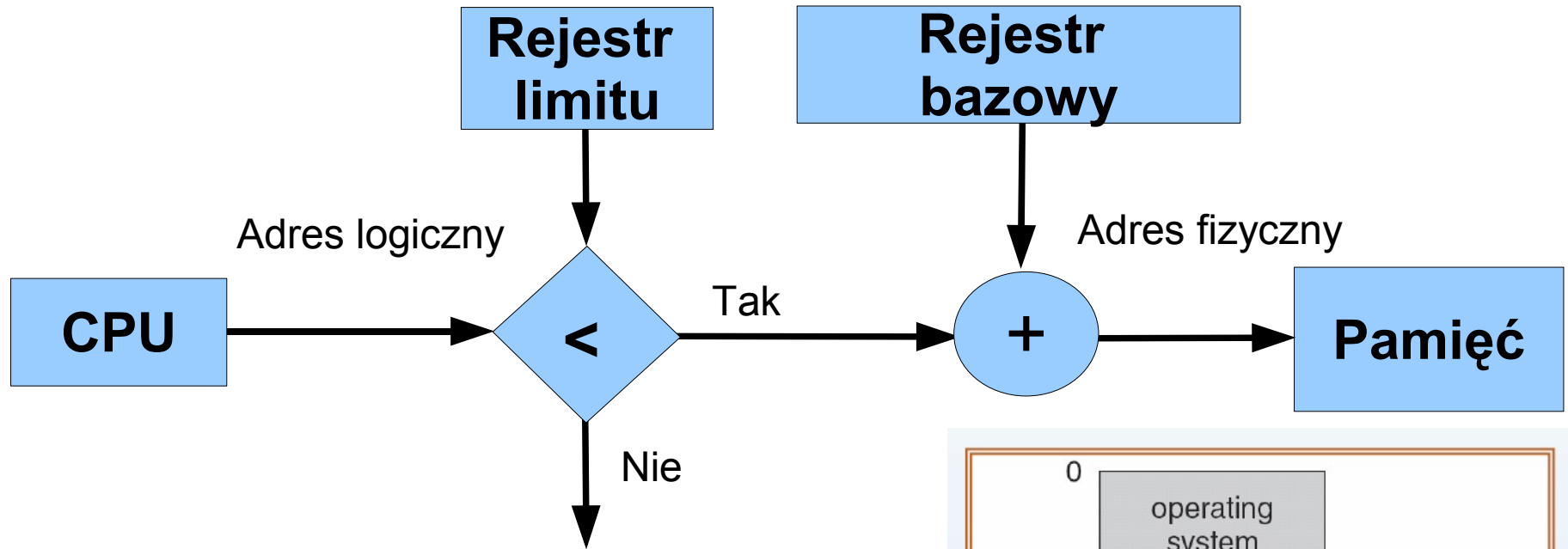
MMU (Memory Management Unit) (2)



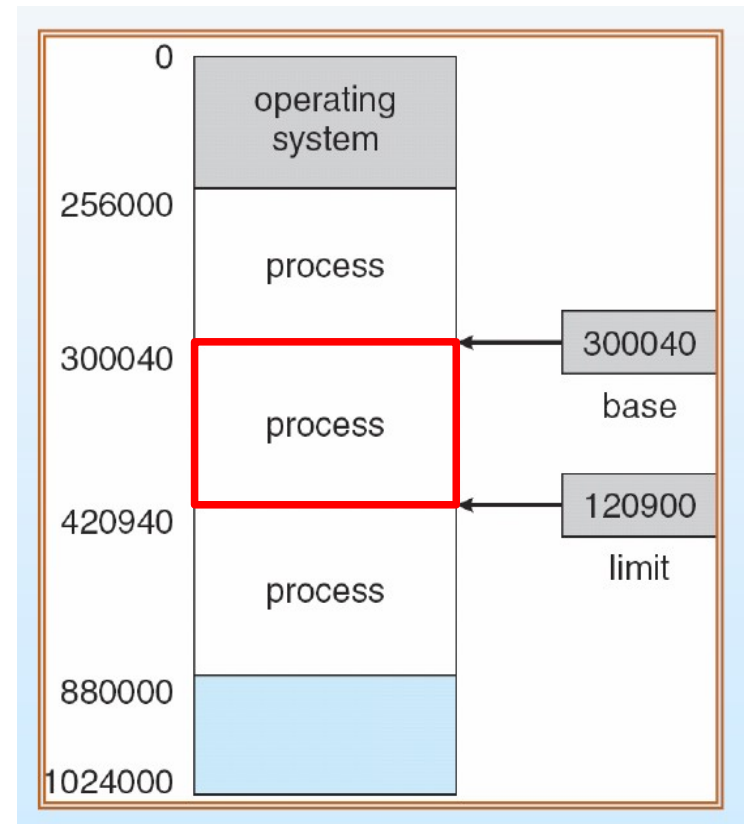
Adres logiczny, wirtualny (logical, virtual address) – adres wygenerowany przez procesor

Adres fizyczny (physical address) – adres przetworzony przez jednostkę MMU, odzwierciedlający faktyczny adres w pamięci fizycznej.

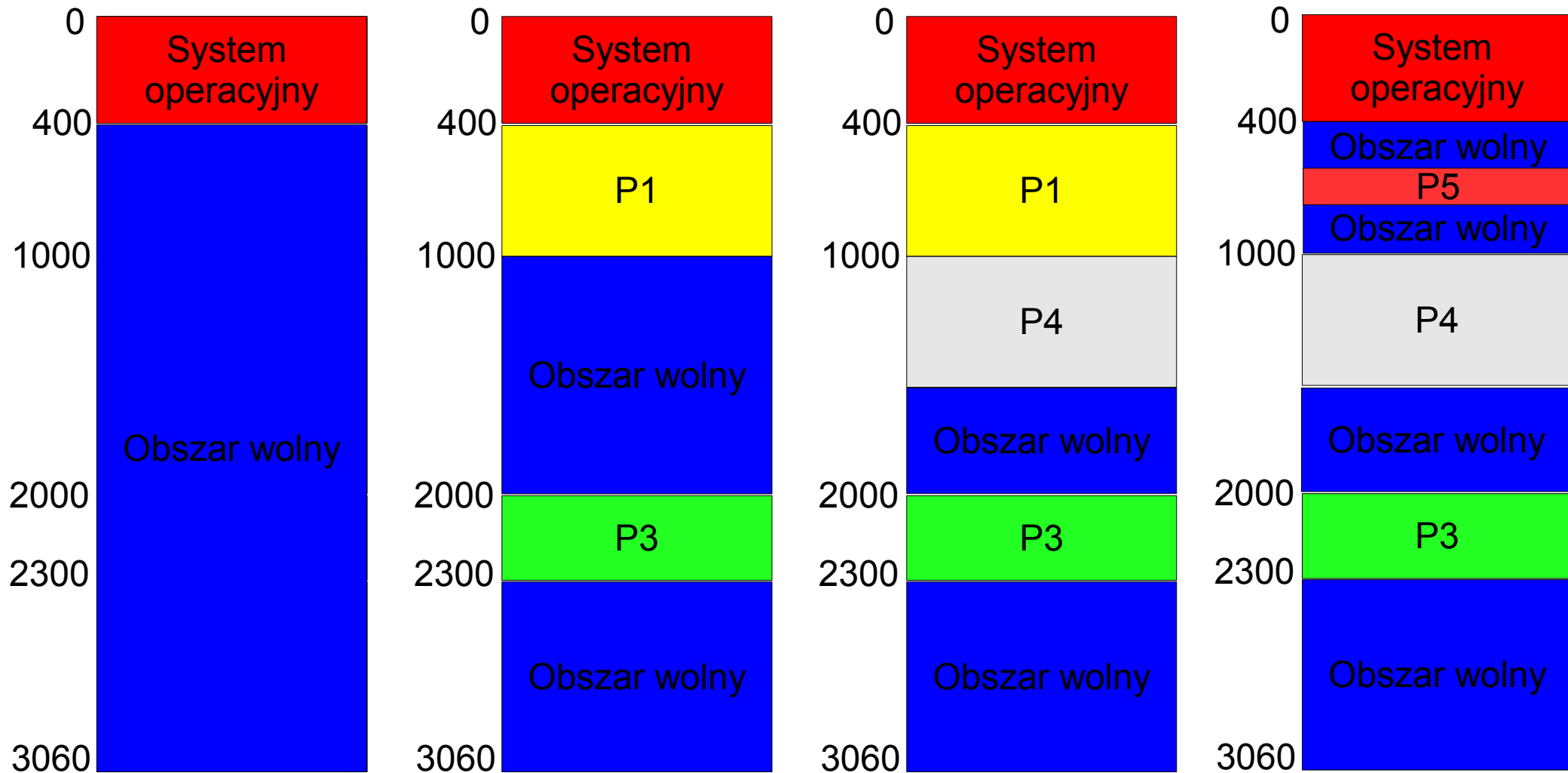
Przydział ciągły



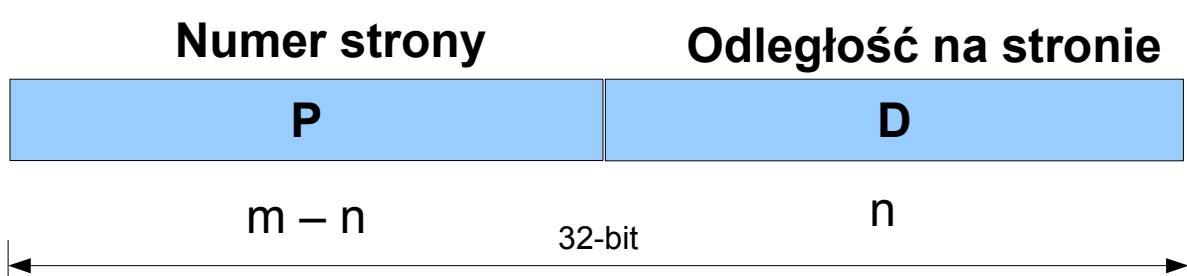
Wyjątek – przekroczenie dozwolonego obszaru pamięci – umożliwia ochronę systemu operacyjnego, programów oraz danych.



Przydzielanie pamięci i planowanie długoterminowe

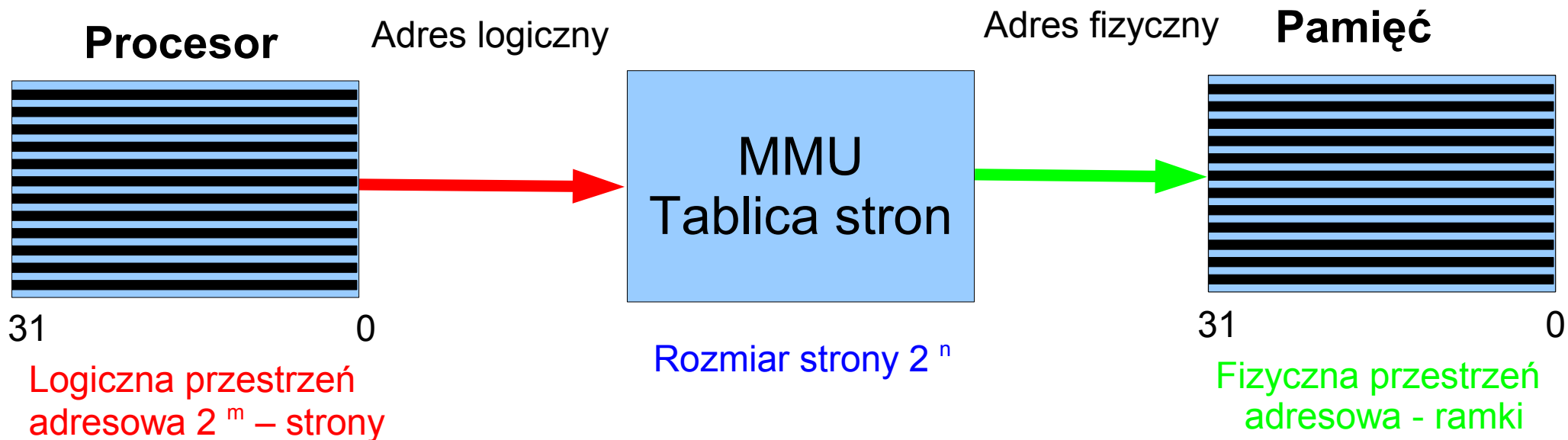


Stronicowanie pamięci



szyna adresowa: 24-bit
przestrzeń adresowa: 32-bit
rozmiar strony=512 B, $n = 2^9$
 $P = 2^{23}$
rozmiar tablicy stron 2^{23}

$$\text{Adres logiczny} = P * \text{rozmiar_strony} + D$$



Pamięć fizyczna podzielona jest na obszary o stałej długości m , tzw. ramki (frames),
Pamięć logiczna podzielona jest na obszary o takiej samej długości jak ramki, tzw. strony (pages), długość obszarów jest potęgą liczby dwa w przedziale od 512 B do kilkunastu Mb.
Proces zajmuje n stron pamięci (ostatnia strona nie jest wypełniona – fragmentacja wewnętrzna)

Jednostka MMU tłumaczy adresy logiczne na adresy fizyczne.

Obliczenie adresu fizycznego

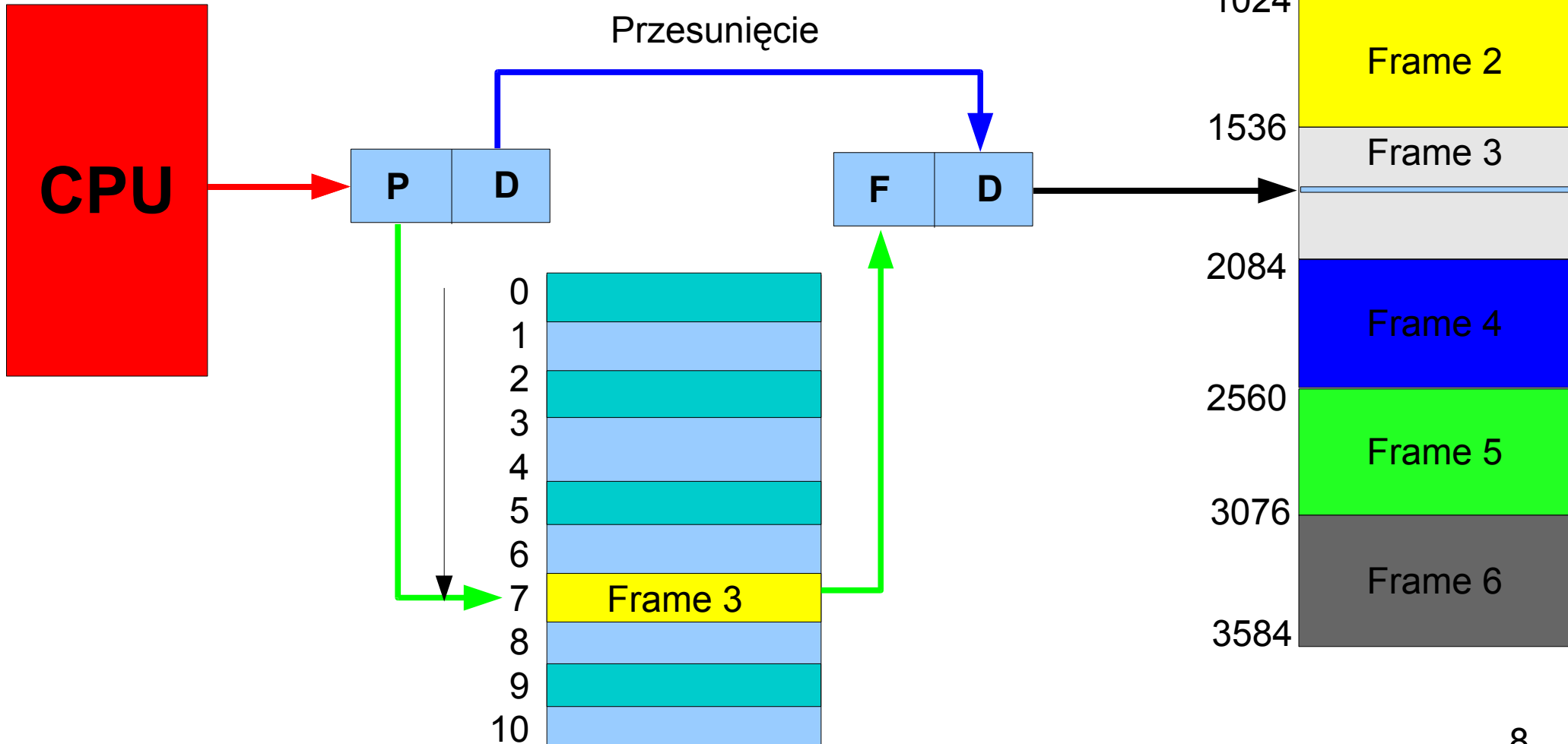
Rozmiar strony = 512 B

Adres logiczny = $7 \times 512 + 100 = 3684$

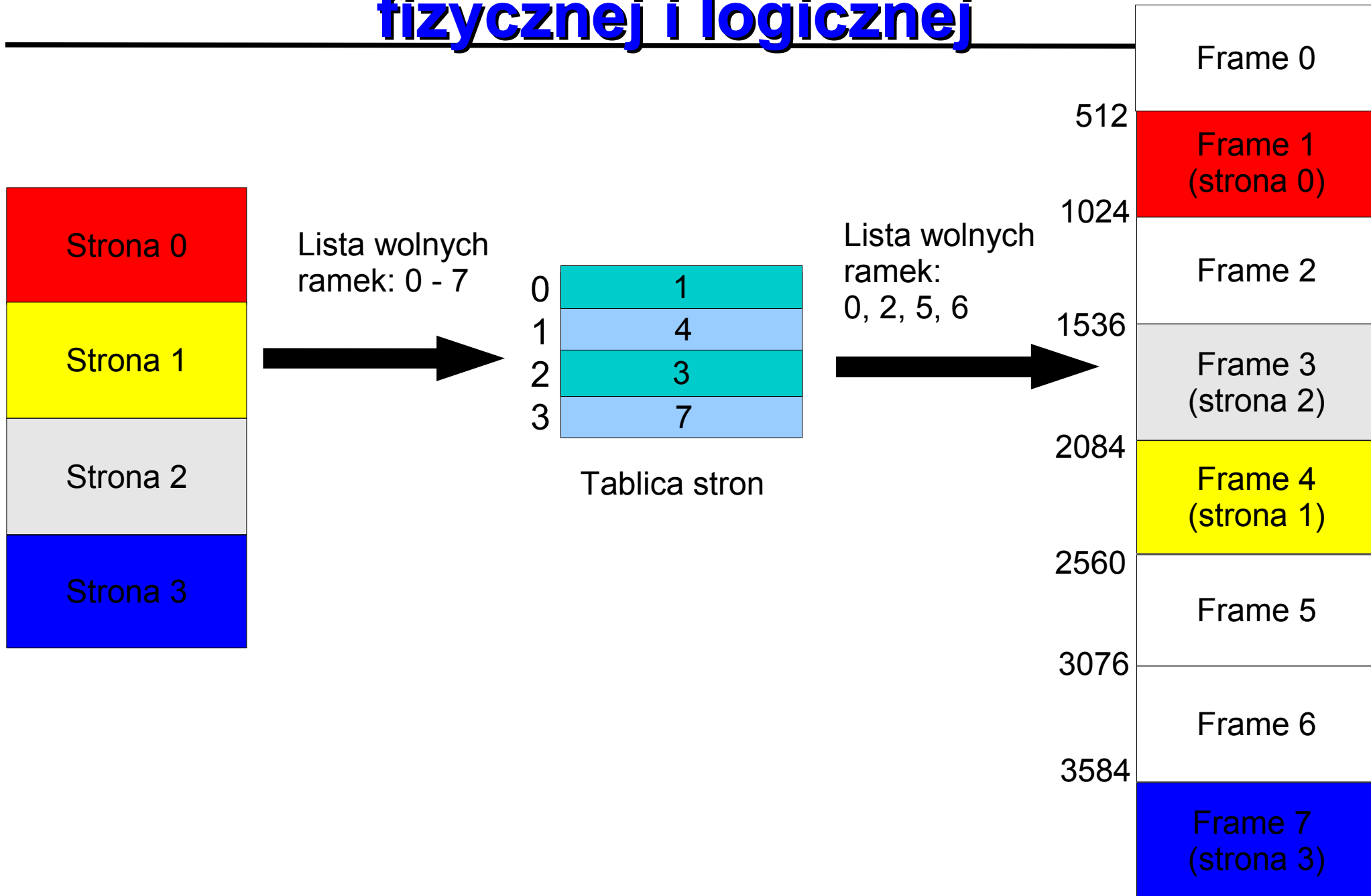
$P = 7, D = 100$

$F = 3$

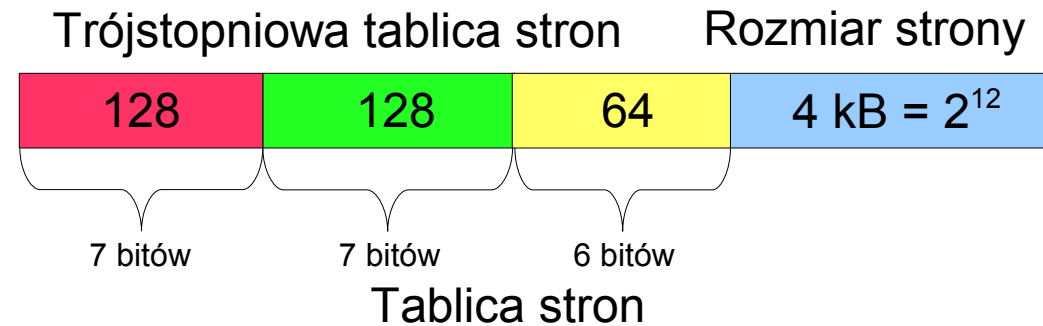
Adres fizyczny = $3 \times 512 + 100 = 1636$



Model stronicowania pamięci fizycznej i logicznej



Tablica stron



0	1	R/W	U/S	X	Valid
1	4	R/W	U/S	X	Valid
2	3	R/W	U/S	X	Valid
3	7	R/W	U/S	X	Valid

Czas dostępu do rejestrów asocjacyjnych: 20 ns

Czas dostępu do pamięci: 100 ns

Wsp. trafień (hit ratio) = 80 %

Efektywny czas dostępu = $0,8 \times 120 + 0,2 \times 220 = 140$ ns

Wsp. trafień (hit ratio) = 98 %

Efektywny czas dostępu = $0,98 \times 120 + 0,02 \times 220 = 122$ ns

Tablica stron - MC68040

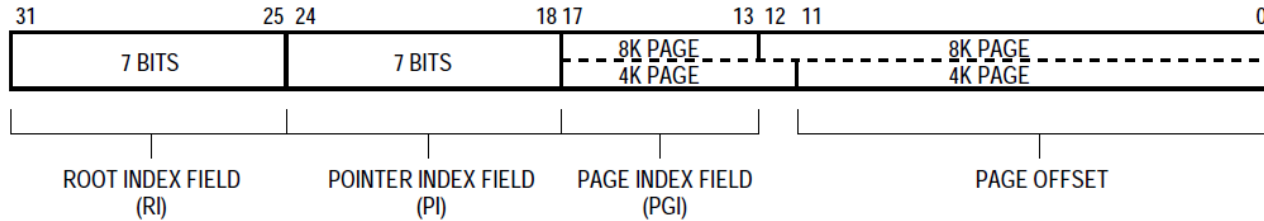


Figure 3-8. Logical Address Format

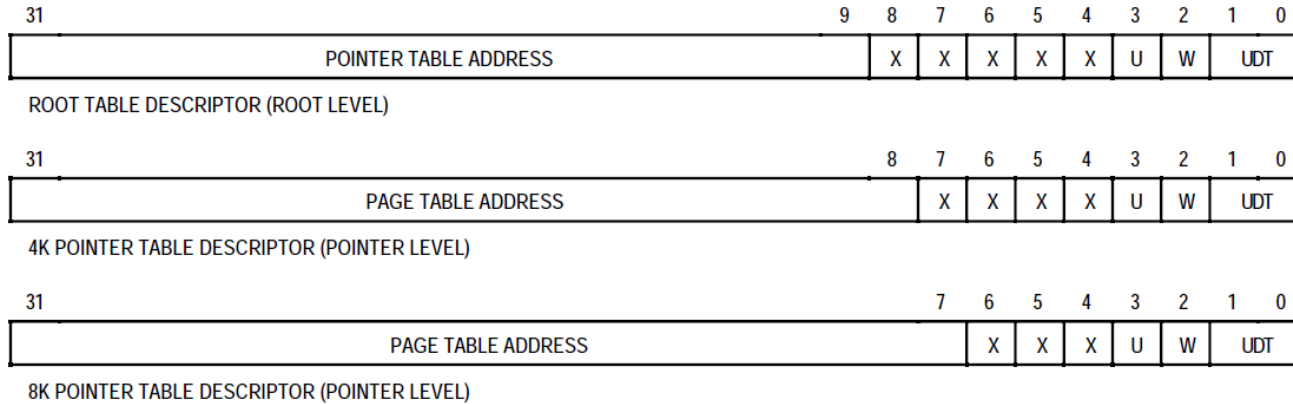


Figure 3-11. Table Descriptor Formats

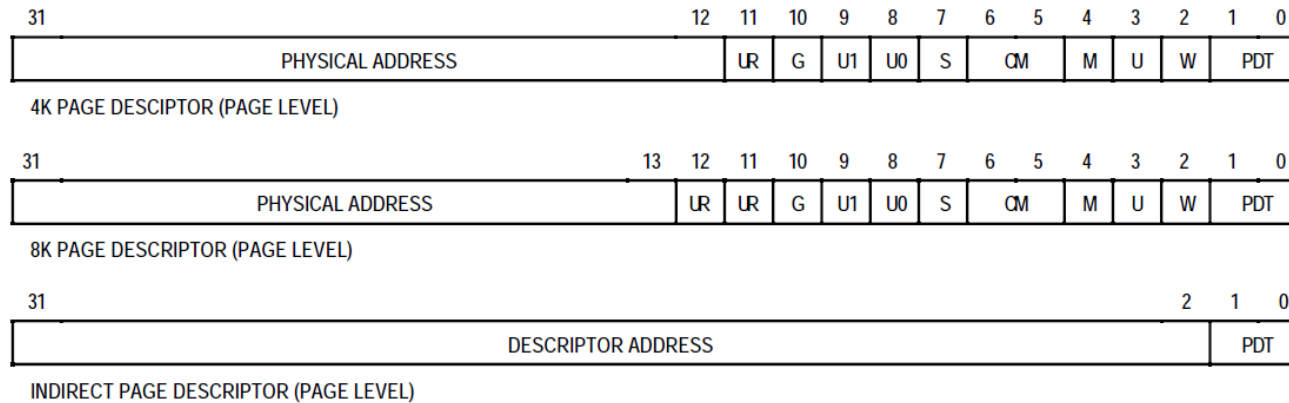
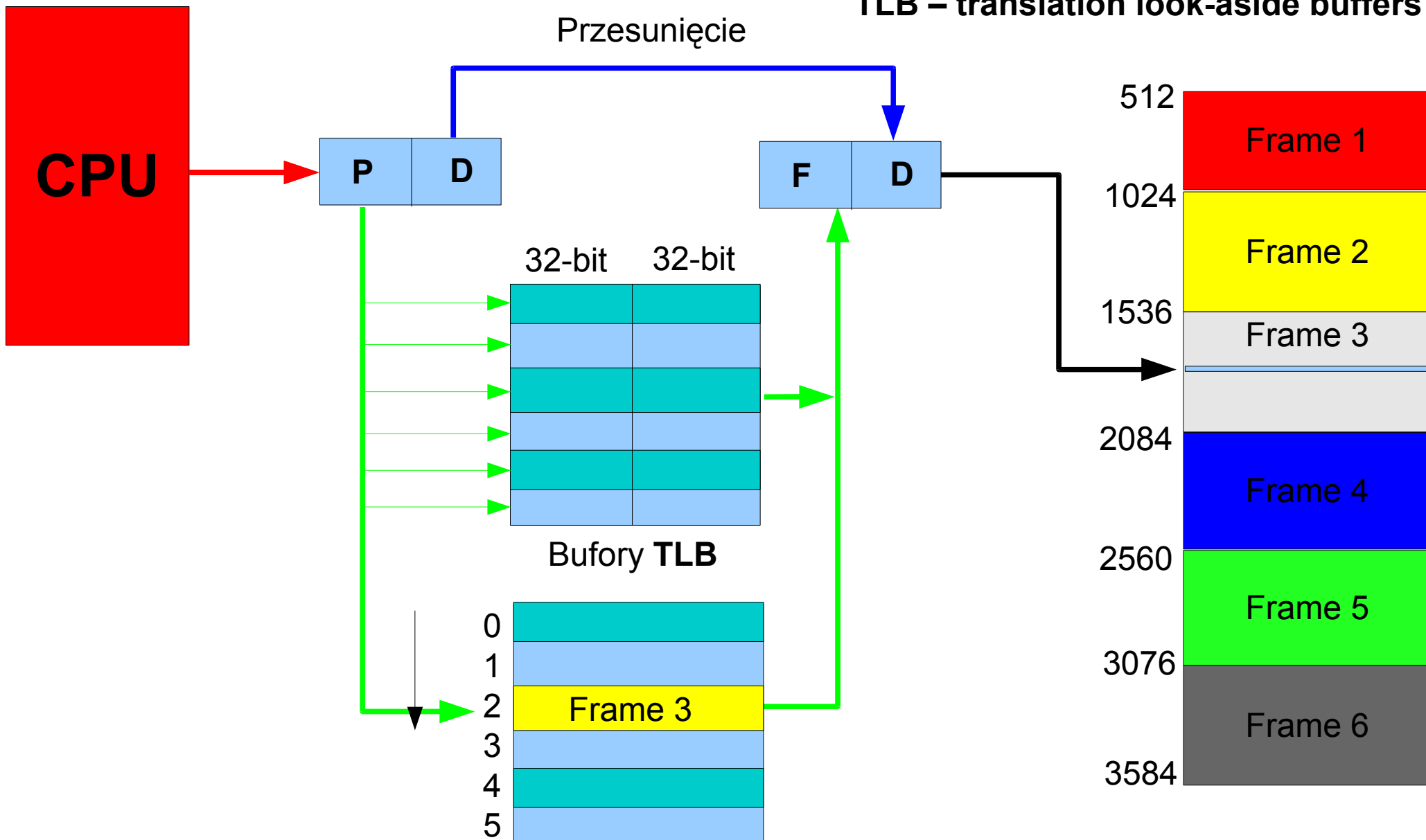


Figure 3-12. Page Descriptor Formats

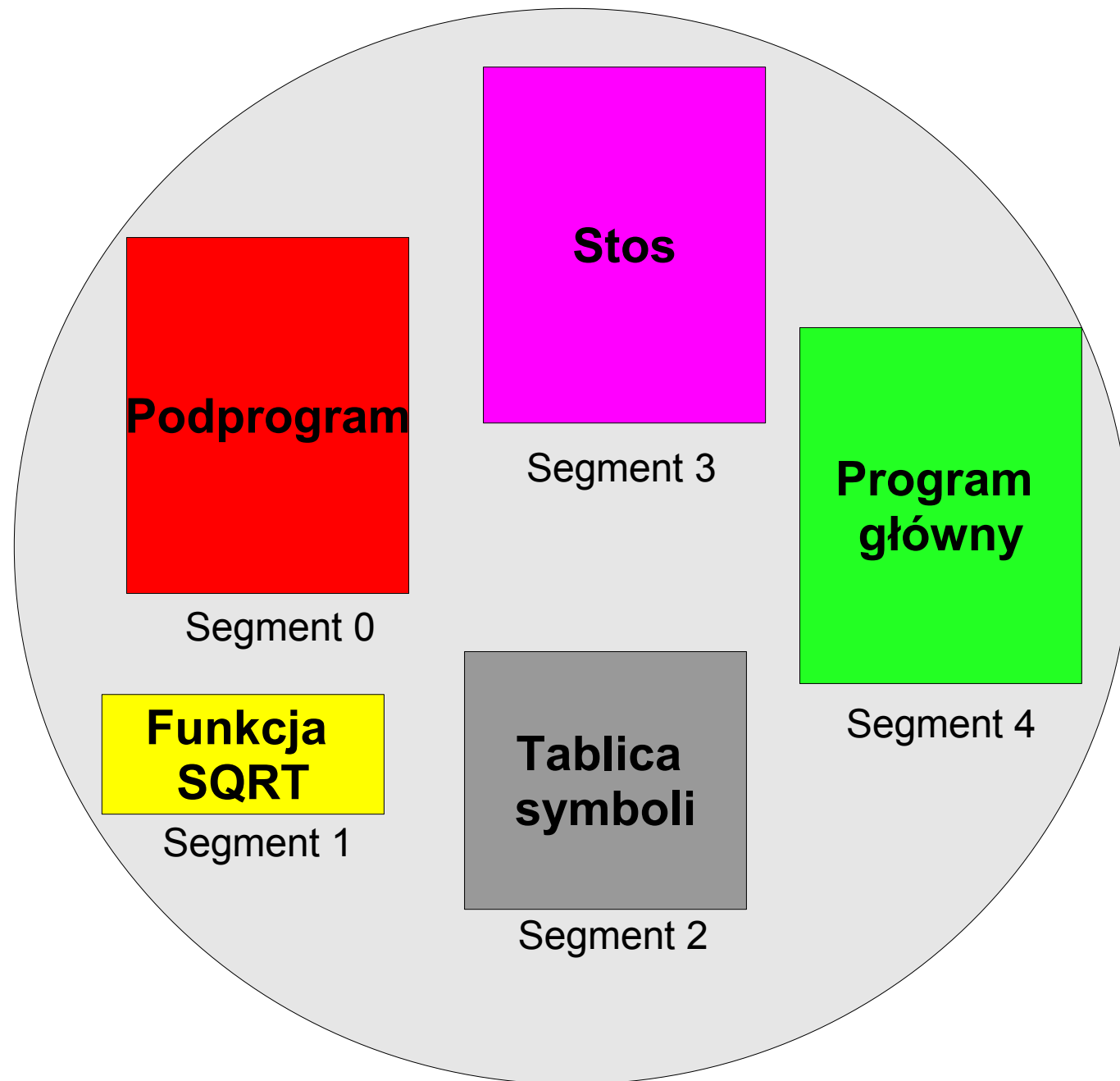
Zastosowanie rejestrów asocjacyjnych

TLB – translation look-aside buffers

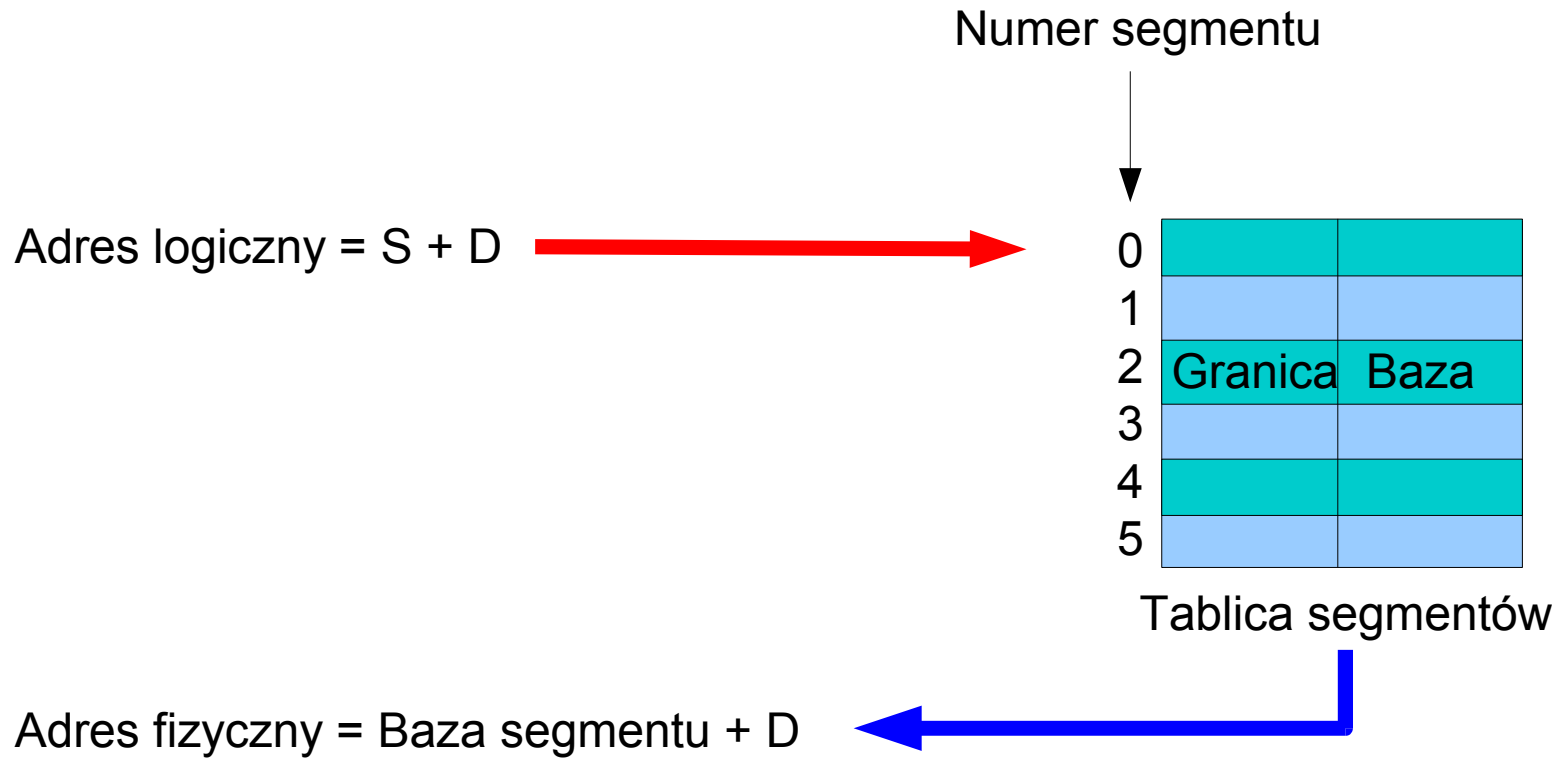


Chybiecie w TLB – odwołanie do Tablicy stron

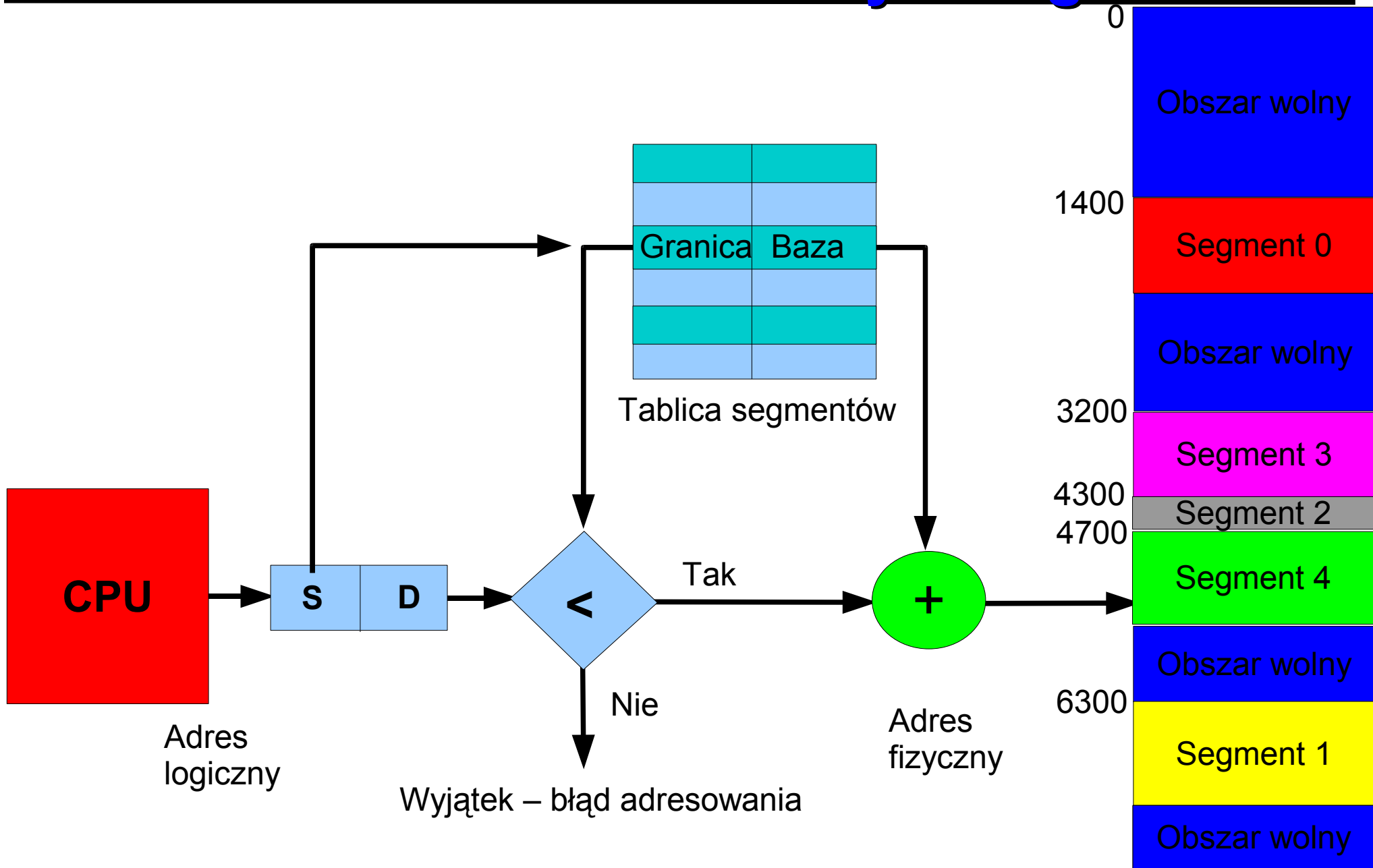
Segmentacja



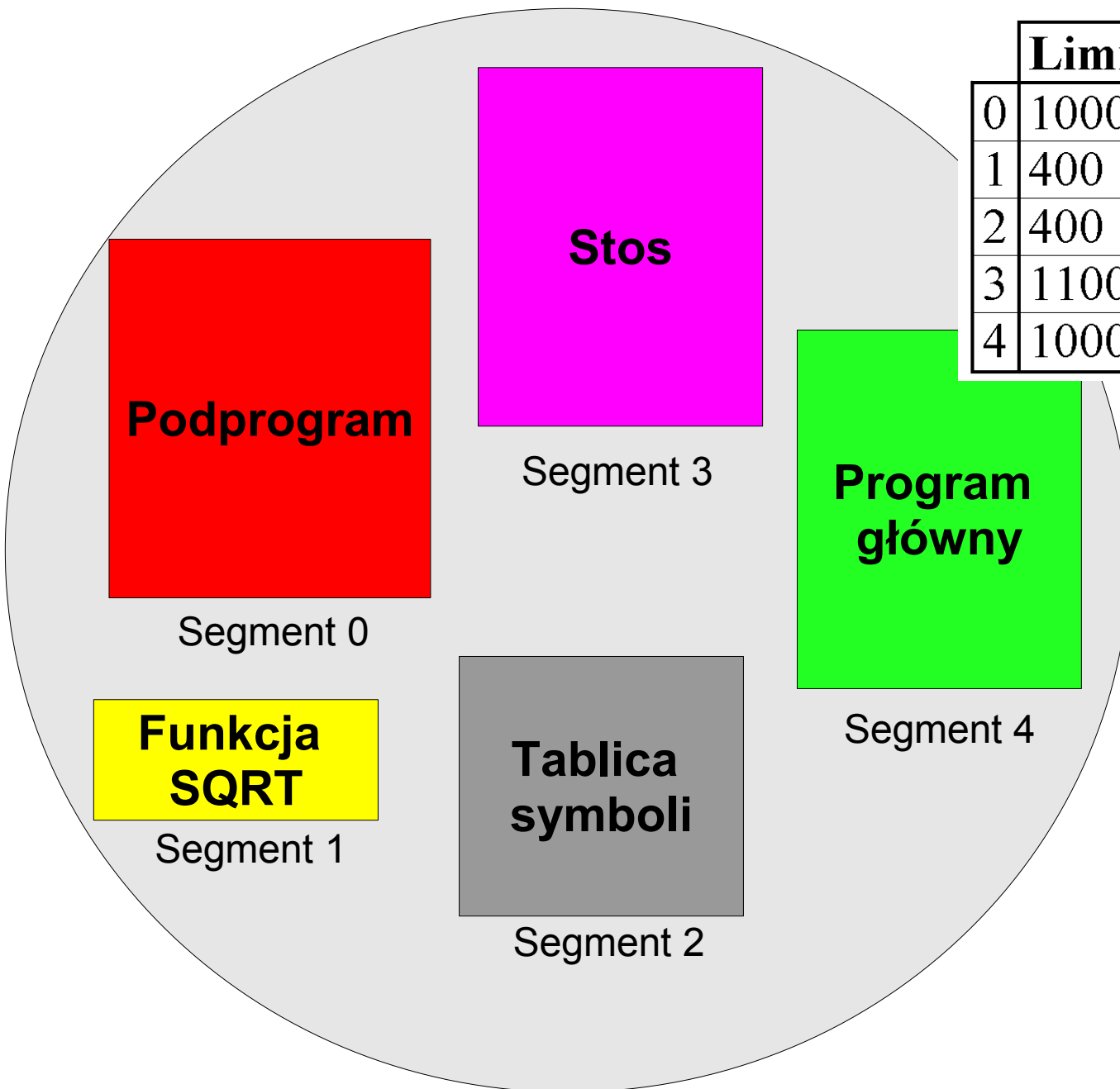
Obliczenie adresu fizycznego



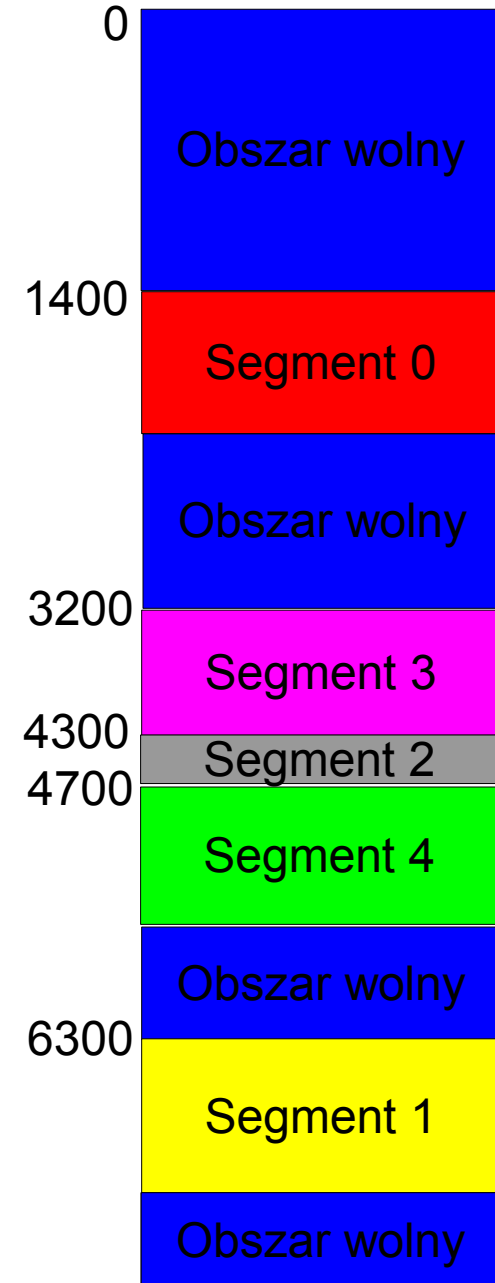
Segmentacja - obliczanie adresu fizycznego



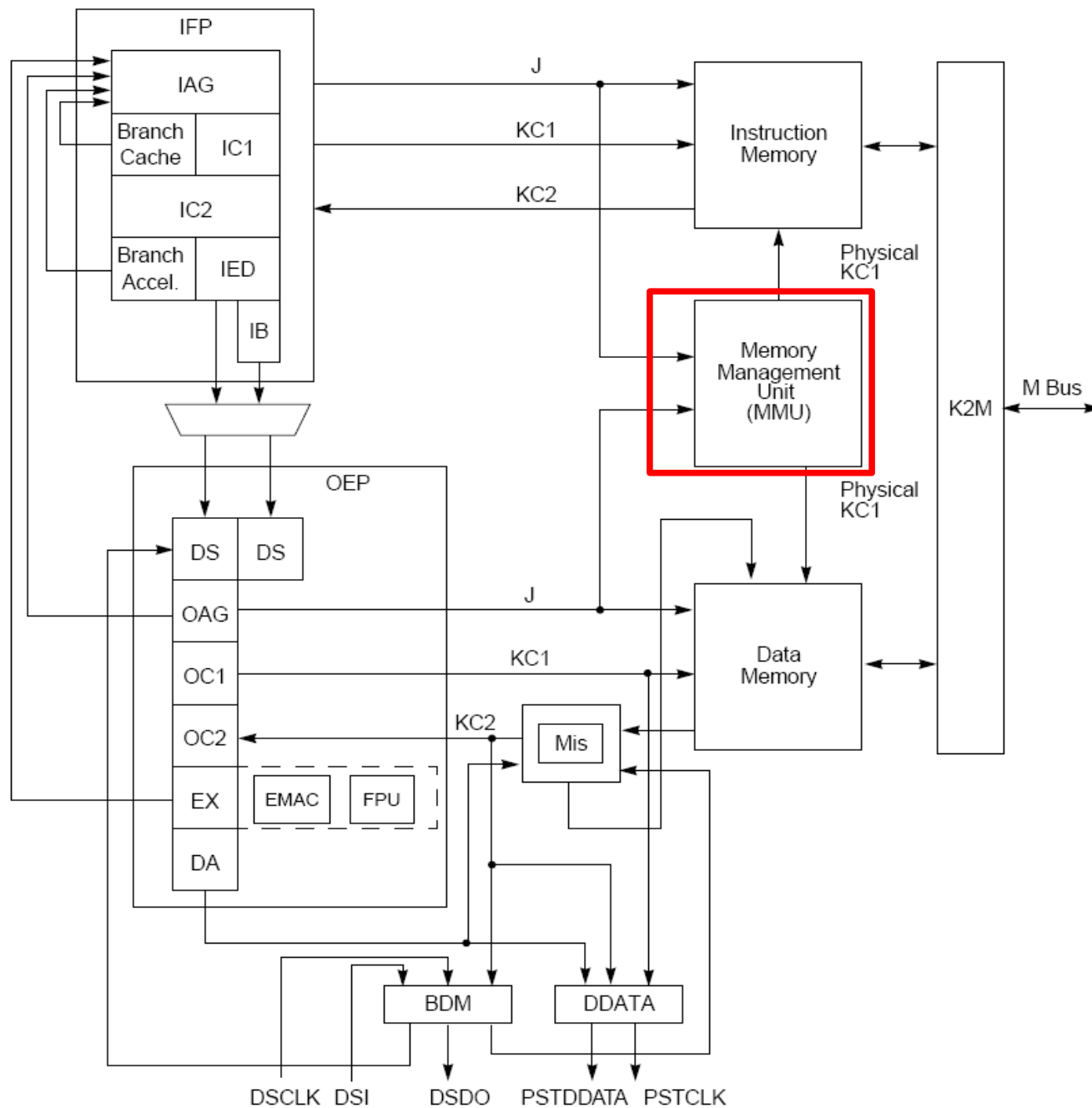
Segmentacja



	Limit	Base
0	1000	1400
1	400	6300
2	400	4300
3	1100	3200
4	1000	4700



Rdzeń procesora ColdFire V4e z jednostką MMU



ColdFire V4e

Procesor z rdzeniem V4e: MCF547x, MCF548x lub V5,

64 rejestry asocjacyjne TLB (32 dla pamięci programu i 32 dla pamięci danych),

Obsługa wyjątków w przypadku niepowodzenia odczytu z pamięci (TLB miss),

Rozmiar obsługiwanych stron: 1, 4, 8 kB i 1 MB,

Jednostka MMU umożliwia uzyskanie poziomu trafności na poziomie 97% w odniesieniu, do procesora rodziny V4 (bez MMC),

Obsługa uprawnień (użytkownik/superużytkownik, zapis/odczyt, pamięć wykonywalna),

Dostęp do rejestrów TLB przez rejestry modułu MMC,

Dostęp do urządzeń specjalnych mapowanych na pamięć (przerwania, urządzenia I/O) lub praca w trybie emulatora odbywa się przy wykorzystaniu adresów fizycznych.

Ramka stosu sytuacji wyjątkowych

FS[3:0]	Definition
0000	Not an access or address error
0001, 001x	Reserved
0100	Error (for example, protection fault) on instruction fetch
0101	TLB miss on opword of instruction fetch (New in CF4e)
0110	TLB miss on extension word of instruction fetch (New in CF4e)
0111	IFP access error while executing in emulator mode (New in CF4e)
1000	Error on data write
1001	Attempted write of protected space
1010	TLB miss on data write (New in CF4e)
1011	Reserved
1100	Error on data read
1101	Attempted read, read-modify-write of protected space (New in CF4e)
1110	TLB miss on data read, or read-modify-write (New in CF4e)
1111	OEP access error while executing in emulator mode (New in CF4e)

Rejestr statusowy MMUSR

Bits	Name	Description
31–6	—	Reserved, should be cleared. Writes are ignored and reads return zeros.
5	SPF	Supervisor protect fault. Indicates if the last data fault was a user mode access that hit in a TLB entry that had its supervisor protect bit set. 0 Last data access fault did not have a supervisor protect fault. 1 Last data access fault had a supervisor protect fault.
4	RF	Read access fault. Indicates if the last data fault was an data read access that hit in a TLB entry that did not have its read bit set. 0 Last data access fault did not have a read protect fault. 1 Last data access fault had a read protect fault.
3	WF	Write access fault. Indicates if the last data fault was an data write access that hit in a TLB entry that did not have its write bit set. 0 Last data access fault did not have a write protect fault. 1 Last data access fault had a write protect fault.
2	—	Reserved, should be cleared. Writes are ignored and reads return zeros.
1	HIT	Search TLB hit. Indicates if the last data fault or the last search TLB operation hit in the TLB. 0 Last data access fault or search TLB operation did not hit in the TLB. 1 Last data access fault or search TLB operation hit in the TLB.
0	—	Reserved, should be cleared. Writes are ignored and reads return zeros.

Rejestr konfiguracyjny MMUDR

Bits	Name	Descriptions
31–10	PA	Physical address. Defines the physical address which is mapped by this entry. The number of bits used to build the effective physical address if this TLB entry hits depends on the page size field.
9–8	SZ	Page size. Page size for this entry: 00 1 Mbyte: VA[31–20] used for TLB hit 01 4 Kbytes VA[31–12] used for TLB hit 10 8 Kbytes VA[31–13] used for TLB hit 11 1 Kbyte VA[31–10] used for TLB hit
7–6	CM	Cache mode. If a Harvard TLB implementation is used, CM0 is a don't care for the ITLB. CM is ignored on writes and always reads as zero for the ITLB. Instruction cache modes: 1x Page is non-cacheable. 0x Page is cacheable. Data cache modes 00 Page is cacheable writethrough. 01 Page is cacheable copyback. 10 Page is non-cacheable precise. 11 Page is non-cacheable imprecise.
5	SP	Supervisor protect. Controls user mode access to the page mapped by this entry. 0 Entry is not supervisor protected. 1 Entry is supervisor protected. An attempted user mode access that matches this entry generates an access error exception.
4	R	Read access enable. Indicates if data read accesses to this entry are allowed. If a Harvard TLB implementation is used, this bit is a don't care for the ITLB. This bit is ignored on writes and always reads as zero for the ITLB. 0 Do not allow data read accesses. Attempted data read accesses that match this entry generate an access error exception. 1 Allow data read accesses.
3	W	Write access enable. Indicates if data write accesses are allowed to this entry. If separate ITLB and DTLBs) are used, W is a don't care for the ITLB. W is ignored on writes and reads as zero for the ITLB. 0 Do not allow data write accesses. Attempted data write accesses that match this entry generate an access error exception. 1 Allow data write accesses.
2	X	Execute access enable. Indicates if instruction fetches to this entry are allowed. If separate ITLB and DTLBs are is used, X is a don't care for the DTLB. X is ignored on writes and reads as zero for the DTLB. 0 Do not allow instruction fetches. Attempted instruction fetches that match this entry cause an access error exception. 1 Allow instruction fetch accesses.
1	LK	Lock entry bit. Indicates if this entry is included in the replacement algorithm. TLB hits of locked entries do not update replacement algorithm information. 0 Include this entry when determining the best entry for a TLB allocation. 1 Do not allow this entry to be selected by the replacement algorithm.

Współpraca pamięci podręcznej z MMU

