

---

# **Współpraca procesora z urządzeniami peryferyjnymi**

# Współpraca procesora z urządzeniami peryferyjnymi

---

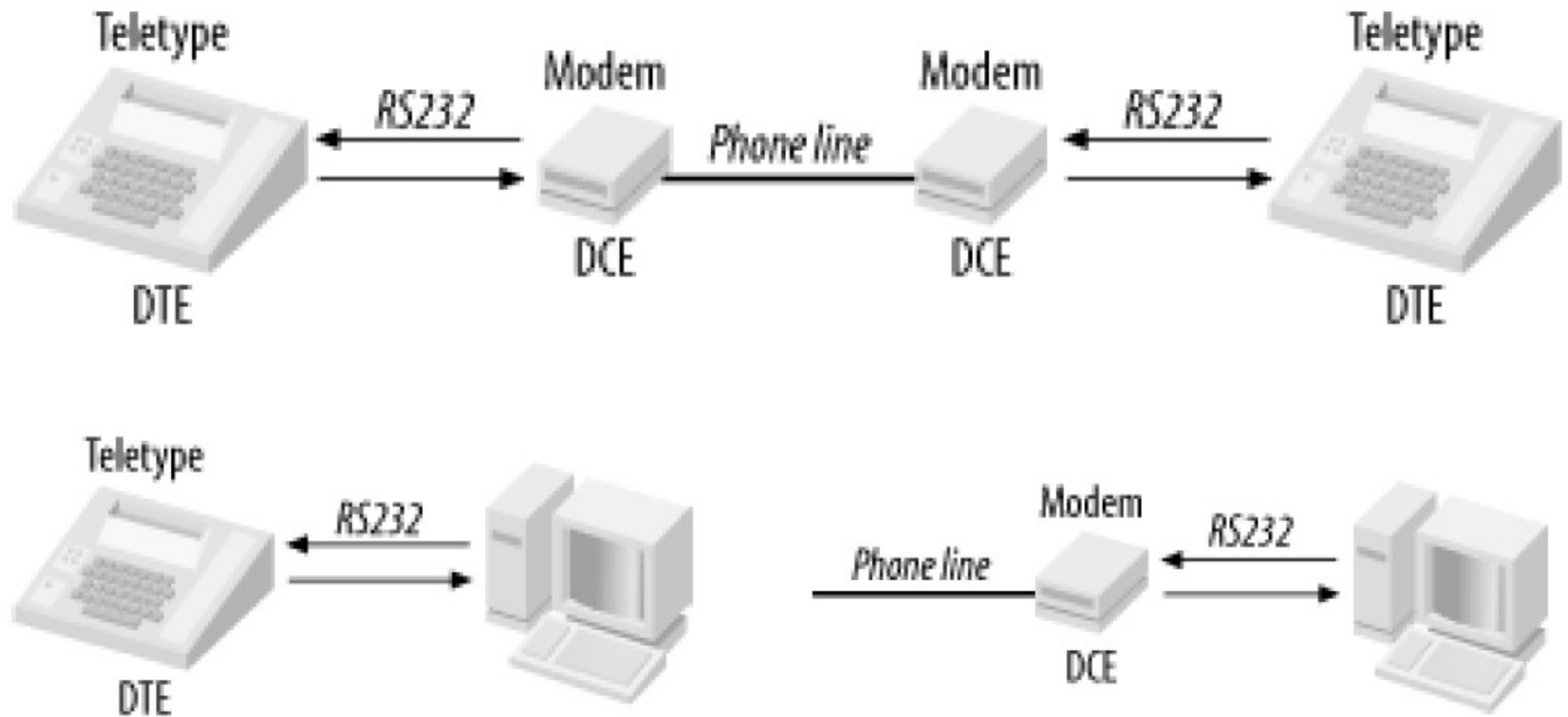
Interfejsy dostępne w procesorach rodziny ColdFire:

- Interfejs równoległy,
- Interfejsy szeregowo:
  - Interfejs zgodny ze standardem EIA 232,
  - Interfejs SPI,
  - Interfejs I2C,
  - Interfejs CAN,
  - Interfejs USB,
- Magistrala PCI.

---

# Moduł transceivera szeregowego UART (Universal Asynchronous Receiver/Transmitter module)

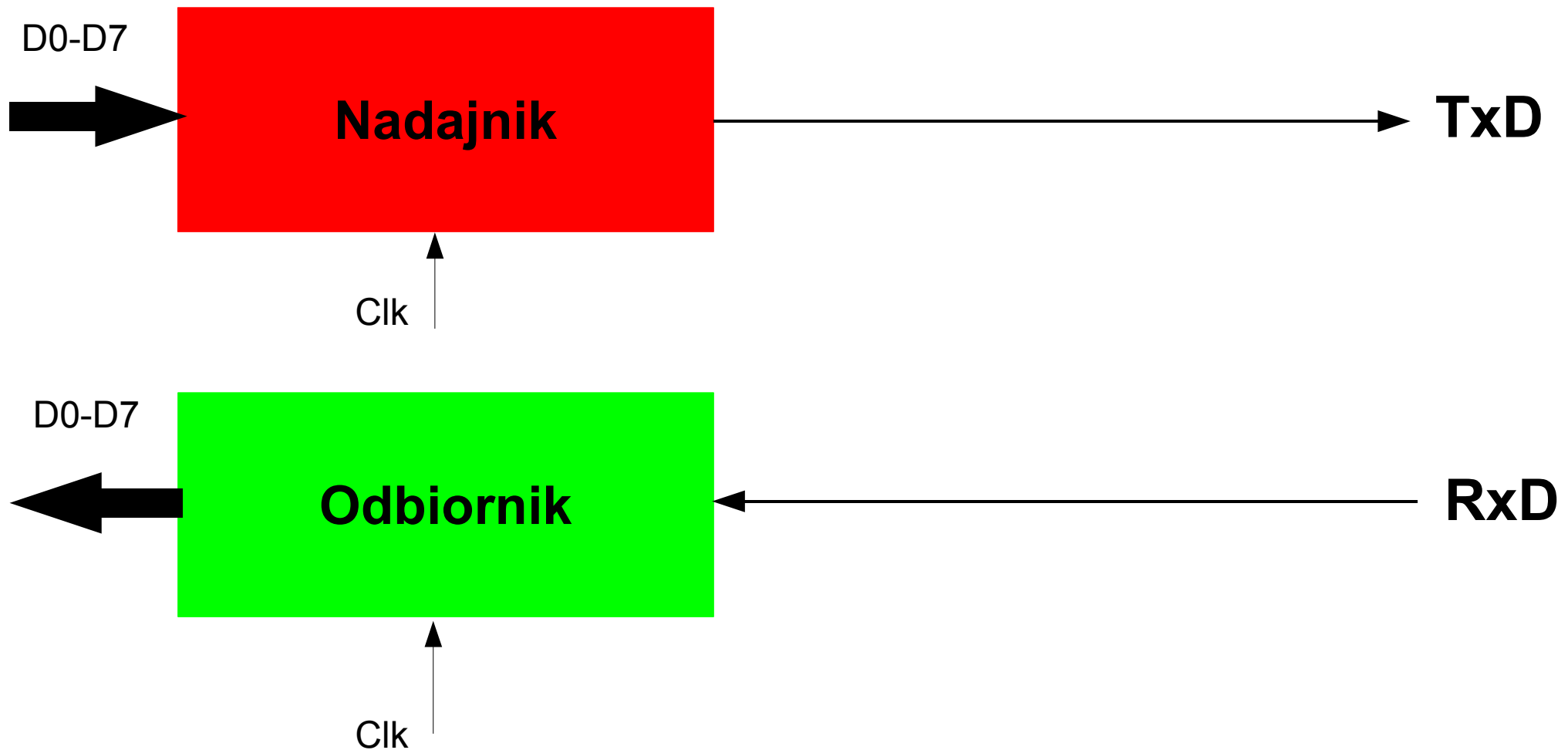
# Interfejs szeregowy EIA RS232



# Transceiver UART

---

## Rejestr przesuwny



# Ramka danych transmitera UART

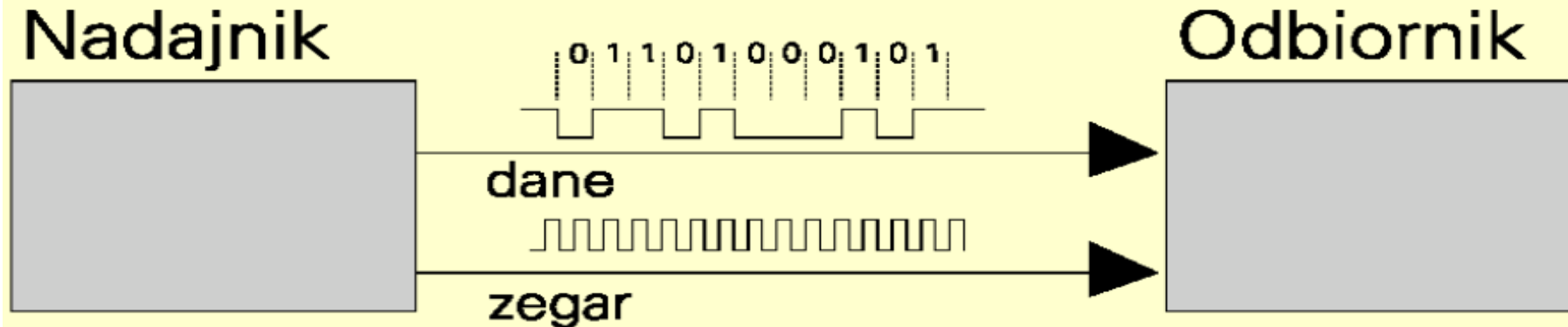
## Asynchronous 8 bit waveform example

- Data is H'25' = B'00100101'

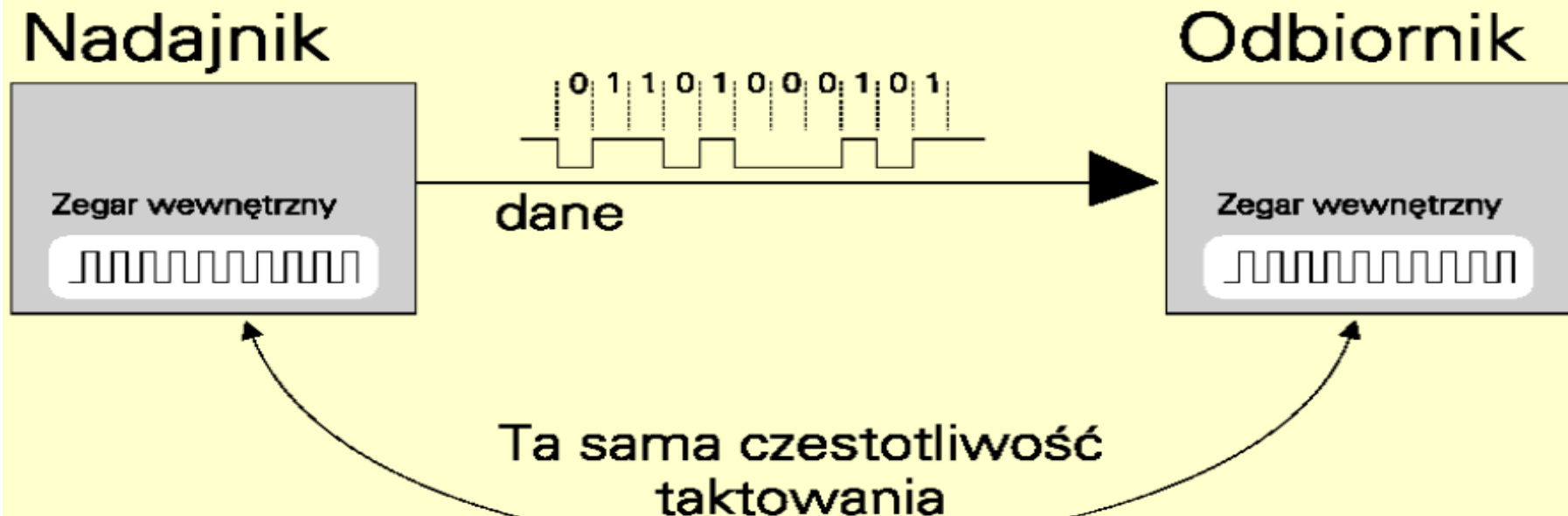


# Transmisja synchroniczna, czy asynchroniczna?

## a) transmisja synchroniczna



## b) transmisja asynchroniczna

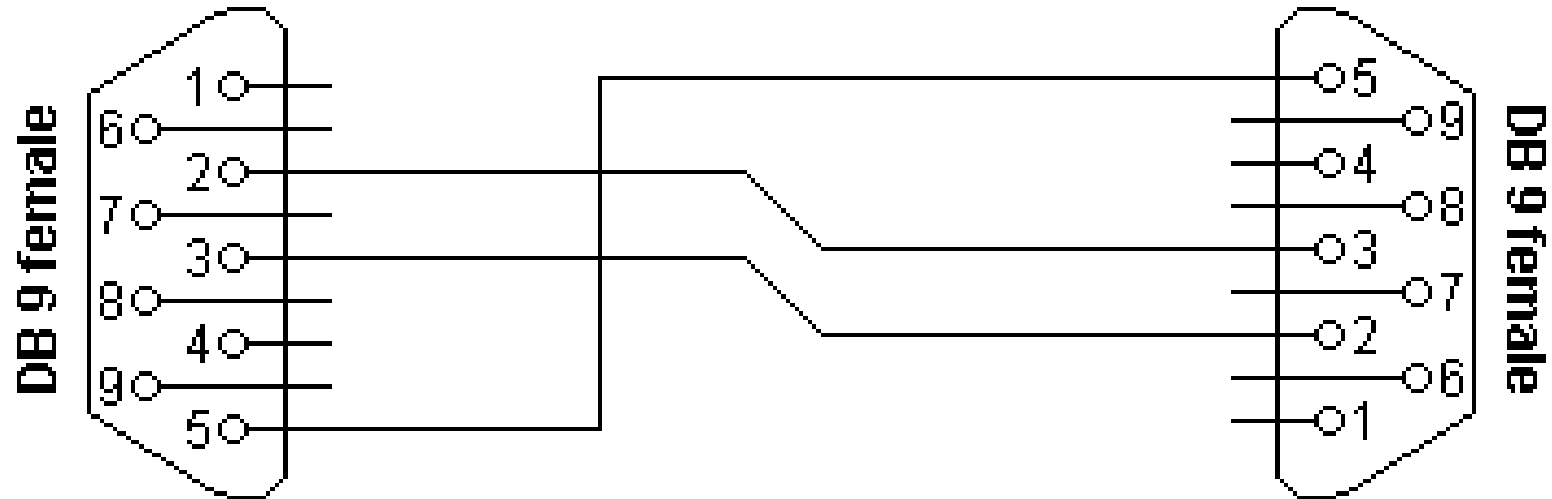


# Specyfikacja elektryczna EIA RS232c

SPECIFICATIONS		RS232
Mode of Operation		SINGLE -ENDED
Total Number of Drivers and Receivers on One Line		1 DRIVER 1 RECVR
Maximum Cable Length		50 FT.
Maximum Data Rate		20kb/s
Maximum Driver Output Voltage		+/-25V
Driver Output Signal Level (Loaded Min.)	Loaded	+/-5V to +/-15V
Driver Output Signal Level (Unloaded Max)	Unloaded	+/-25V
Driver Load Impedance (Ohms)		3k to 7k
Max. Driver Current in High Z State	Power On	N/A
Max. Driver Current in High Z State	Power Off	+/-6mA @ +/-2v
Slew Rate (Max.)		30V/uS
Receiver Input Voltage Range		+/-15V
Receiver Input Sensitivity		+/-3V
Receiver Input Resistance (Ohms)		3k to 7k



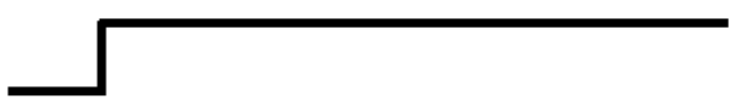


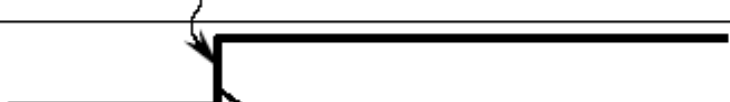

# Kabel null-modem EIA 232



Connector 1	Connector 2	Function
2	3	Rx ← Tx
3	2	Tx → Rx
5	5	Signal ground

# Dodatkowe linie sterujące

## Hardware Flow Control

symbol	obwód	stan linii	uwagi
DTR	108/2		komputer gotów
DSR	107		modem gotów
RTS	105		żądanie nadawania
CTS	106		gotowość do nadawania
TxD	103		transmisja danych do modemu

**DTE (ang. Data Terminal Equipment)** - urządzenie do przetwarzania danych  
(końcowe, np. komputer)

**DCE (ang. Data Circuit-terminating Equipment)** – urządzenie do transmisji danych  
(np. Modem)

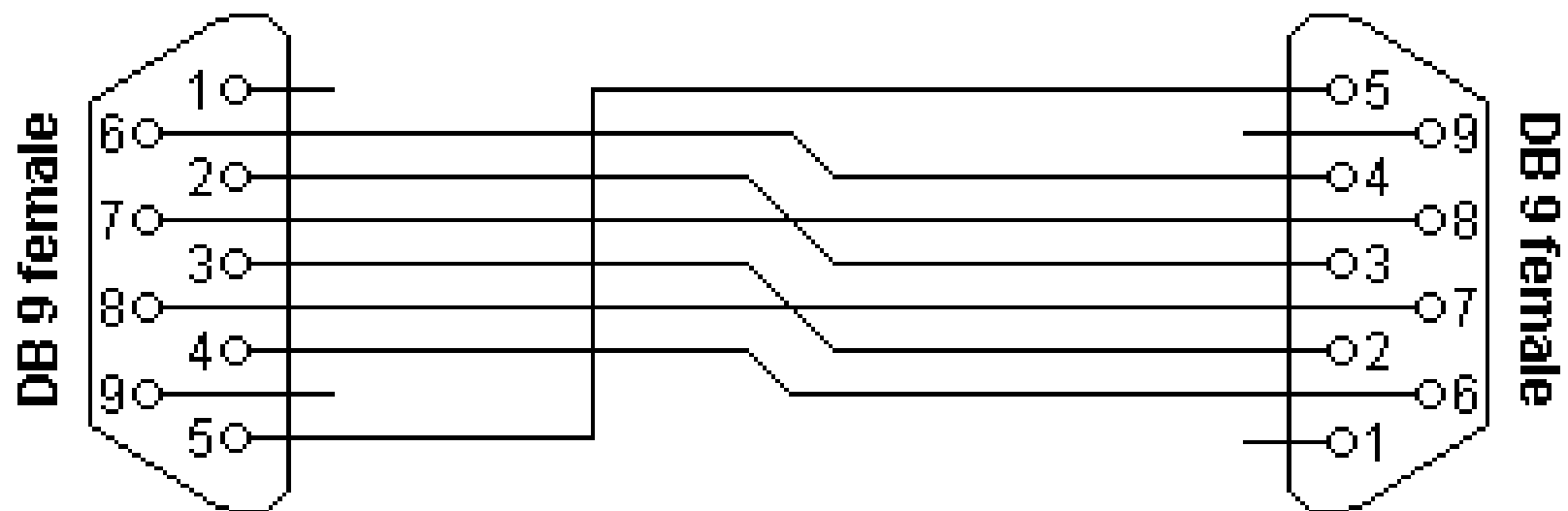
DSR - Data Set Ready - gotowość modemu

DTR - Data Terminal Ready - gotowość terminala

RTS - Request to Send Data - żądanie wysłania

CTS - Clear to Send - gotowość wysłania

# Pełny kabel null-modem



Connector 1	Connector 2	Function
2	3	Rx ← Tx
3	2	Tx → Rx
4	6	DTR → DSR
5	5	Signal ground
6	4	DSR ← DTR
7	8	RTS → CTS
8	7	CTS ← RTS

---

# Serial Peripheral Interface

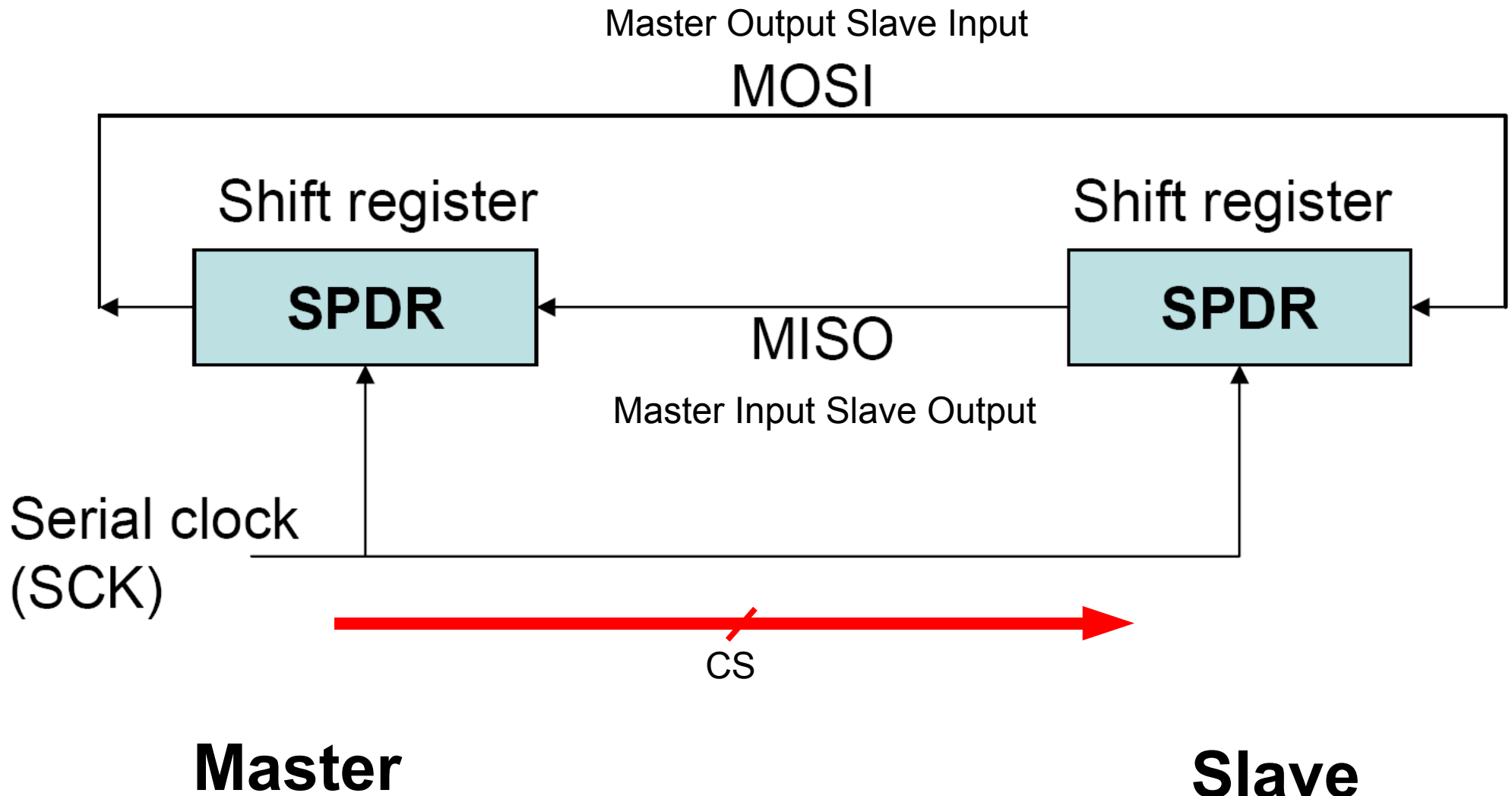
# Serial Peripheral Interface

---

## Cechy interfejsu SPI:

- Szeregową transmisję synchroniczną,
- Transfer full duplex, master-slave lub master-multi-slave,
- Duża szybkość transmisji (>12 Mbit/s),
- Zastosowanie:
  - układy peryferyjne (ADC, DAC, RTC, EEPROM, termometry, itp),
  - sterowanie pomocnicze (matryca CCD z szybkim interfejsem równoległym).

# Serial Peripheral Interface



# Protokół interfejsu SPI

## Konfiguracja sygnału zegarowego:

### Polaryzacja zegara:

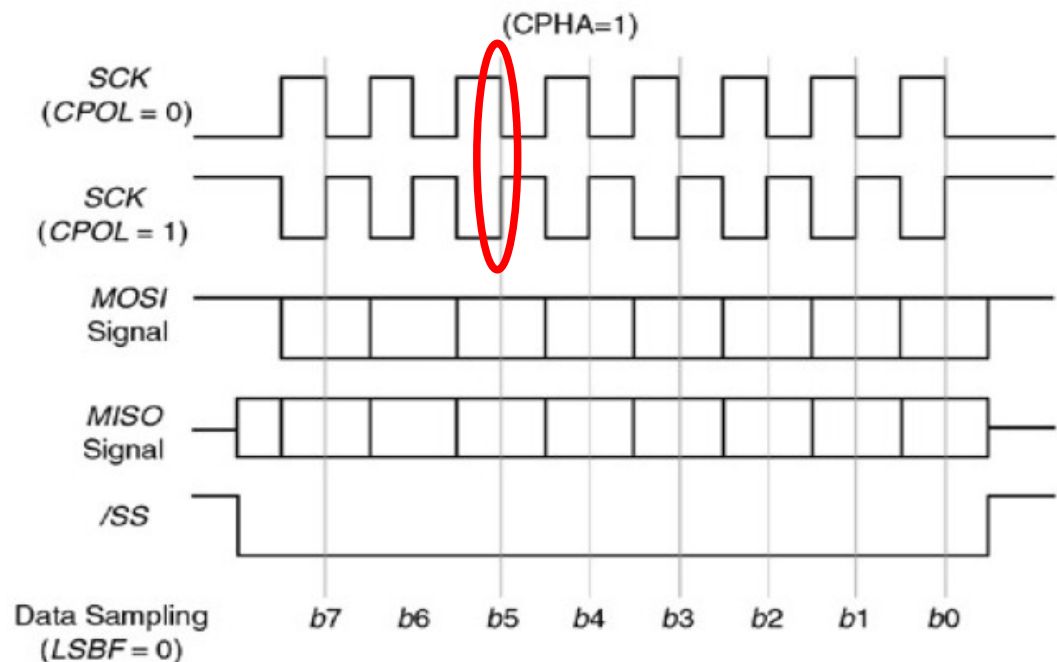
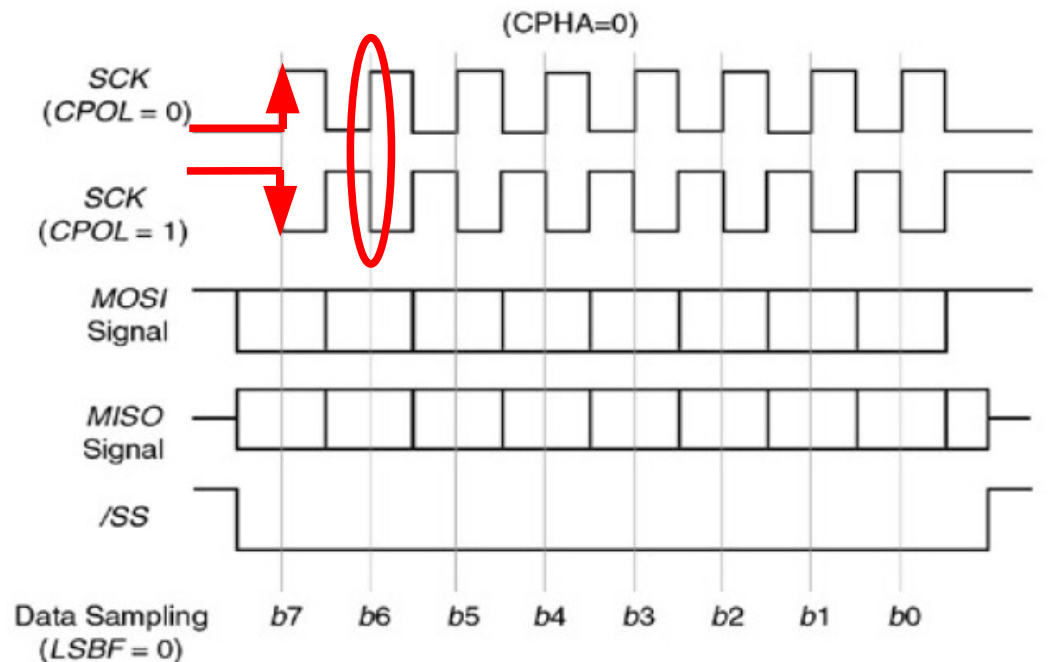
Polaryzacja ujemna  $CPOL = 0$   
(stan niski, 8 impulsów zegara),

Polaryzacja dodatnia  $CPOL = 1$   
(stan wysoki, 8 ujemnych impulsów zegara).

### Faza zegara:

Zerowa faza zegara (próbkiwanie na pierwszym zboczcu zegara),

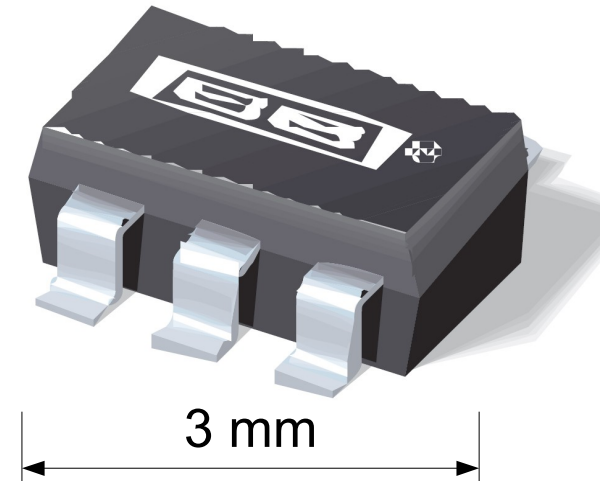
Opóźniona faza zegara (próbkiwanie na drugim zboczcu zegara).



# Termometr z interfasem SPI

## TMP 121:

- Obudowa SOT 23-6,
- FClk mak. = 15 MHz
- Interfejs: SPI-Compatible Interface
- Rozdzielczość: 12-Bit + Sign, 0.0625°C
- Dokładność:  $\pm 1.5^\circ\text{C}$  od  $-25^\circ\text{C}$  do  $+85^\circ\text{C}$
- Pobór prądu w stanie uśpienia: 50 $\mu\text{A}$  (mak.)
- Zasilanie: 2.7V to 5.5V



D15	D14	D13	D12	D11	D10	D9	D8
T12	T11	T10	T9	T8	T7	T6	T5

D7	D6	D5	D4	D3	D2	D1	D0
T4	T3	T2	T1	T0	0	Z	Z

Table 1. Temperature Register

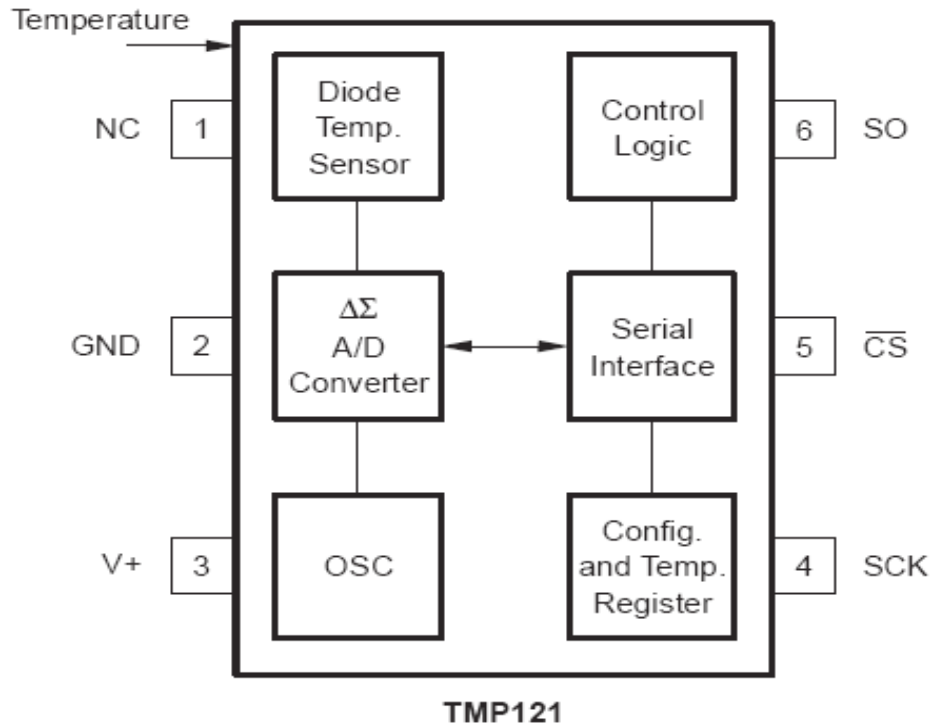
TEMPERATURE (°C)	DIGITAL OUTPUT <sup>(1)</sup> (BINARY)	HEX
150	0100 1011 0000 0000	4B00
125	0011 1110 1000 0000	3E80
25	0000 1100 1000 0000	0C80
0.0625	0000 0000 0000 1000	0008
0	0000 0000 0000 0000	0000
-0.0625	1111 1111 1111 1000	FFF8
-25	1111 0011 1000 0000	F380
-55	1110 0100 1000 0000	E480

<sup>(1)</sup> The last two bits are high impedance and are shown as 00 in the table.

Table 2. Temperature Data Format

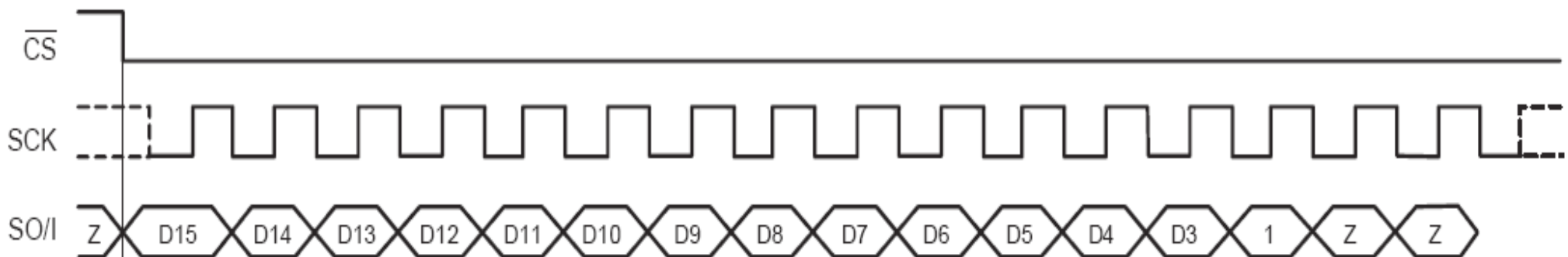


# Ramka SPI termometru TMP121



D15	D14	D13	D12	D11	D10	D9	D8
T12	T11	T10	T9	T8	T7	T6	T5
D7	D6	D5	D4	D3	D2	D1	D0
T4	T3	T2	T1	T0	0	Z	Z

Table 1. Temperature Register



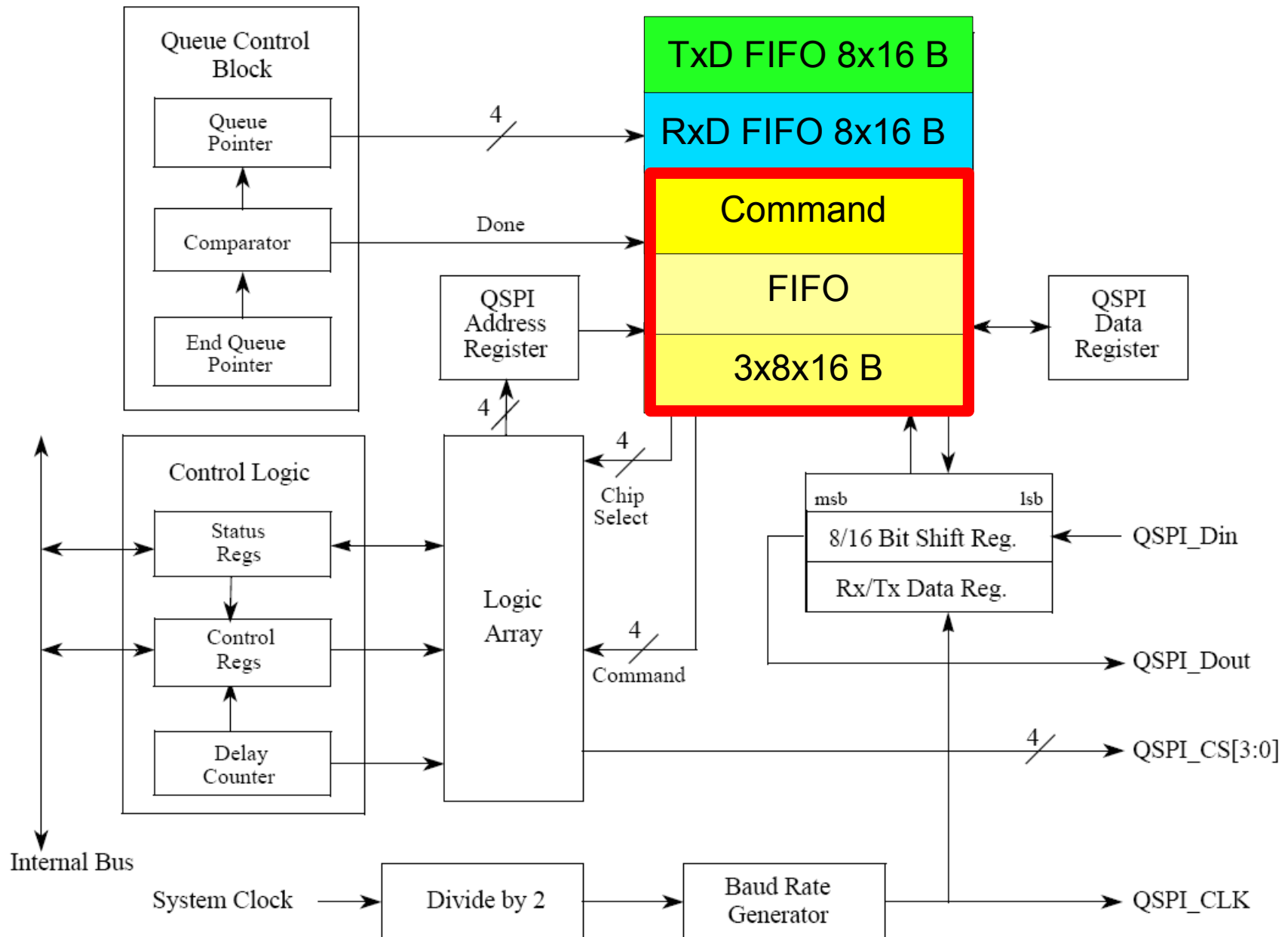
# Queued SPI (1)

---

## Cechy modułu QSPI:

- Kolejka FIFO umożliwiająca obsługę do 16 transferów (bez udziału procesora),
- Transfery danych od 8 do 16 bitów,
- Cztery programowalne wyjścia aktywujące urządzenia dołączone do SPI (obsługa do 15 urządzeń),
- Szybkość transmisji od 129,4 kbps do 16,67 Mbps dla 66 MHz,
- Programowalne opóźnienia pomiędzy transferami,
- Programowalna polaryzacja i faza zegara,
- Wsparcie do ciągłej pracy z minimalnym udziałem procesora (przetwornika ADC, DAC)

# Queued SPI (2)



---

# Magistrala I2C



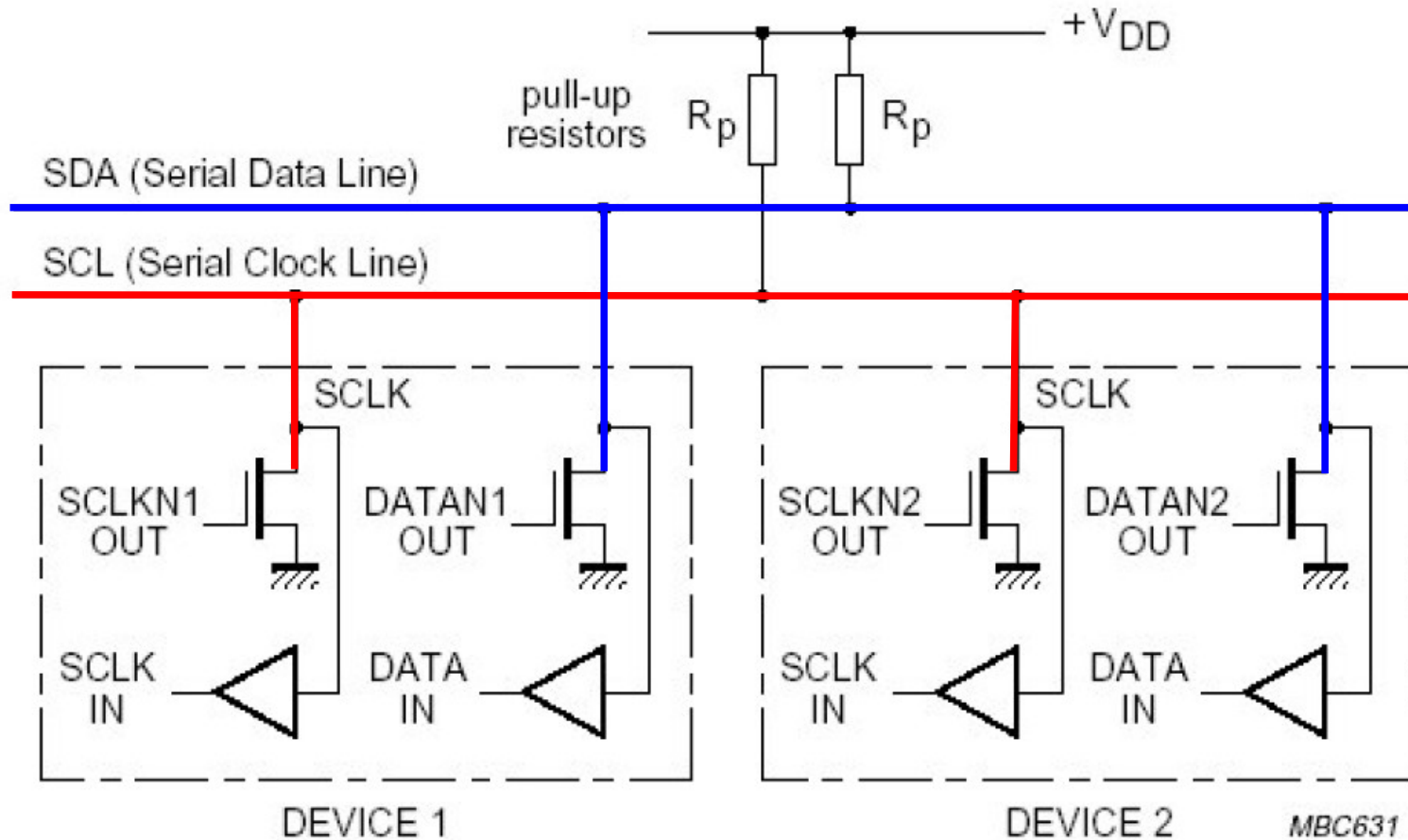
# Zastosowanie interfejsu I2C

---

W sprzedaży dostępnych jest wiele bardzo tanich układów scalonych sterowanych poprzez I<sup>2</sup>C:

- \* PCF8563/8583 - zegar, kalendarz, alarm, timer, dodatkowo może służyć jako RAM
- \* PCF8574 - pseudo-dwukierunkowy 8-bitowy ekspander
- \* PCF8576, PCF8577 - sterowniki wyświetlaczy LCD
- \* PCF8582 - pamięć EEPROM 256 bajtów (1, 2, 4 kB, ... MB)
- \* PCF8591 - 8-bitowy, 4-kanałowy przetwornik analogowo-cyfrowy i cyfrowo-analogowy

# Magistrala I2C

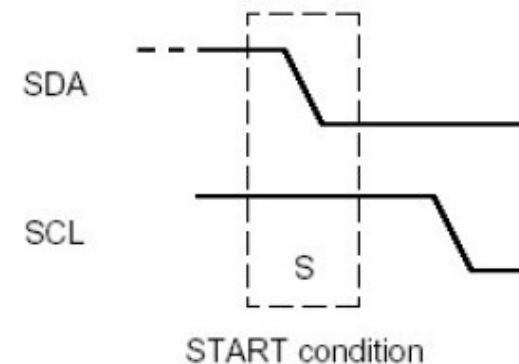


Urządzenie nadrzędne (Master) – inicjuje transmisję, generuje sygnał zegarowy

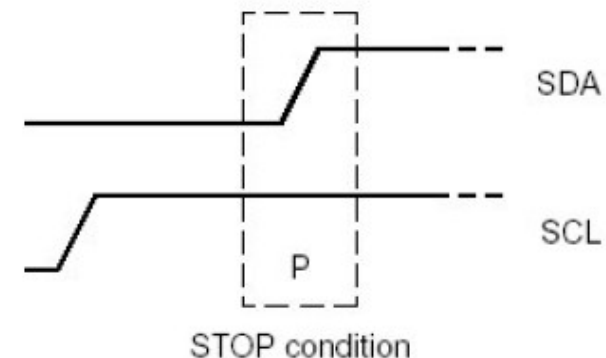
Urządzenie podrzędne (Slave) – analizuje wysłany przez urządzenie adres i transmituje lub odbiera dane.

# Rozpoczęcie oraz zakończenie transmisji

Rozpoczęcie transmisji – generacja sygnału START (opadające zbocze na szynie SDA, zmiana stanu z “1” na “0” logiczne, podczas ważnego sygnału SCL = ”1”). Sygnał generuje Master.

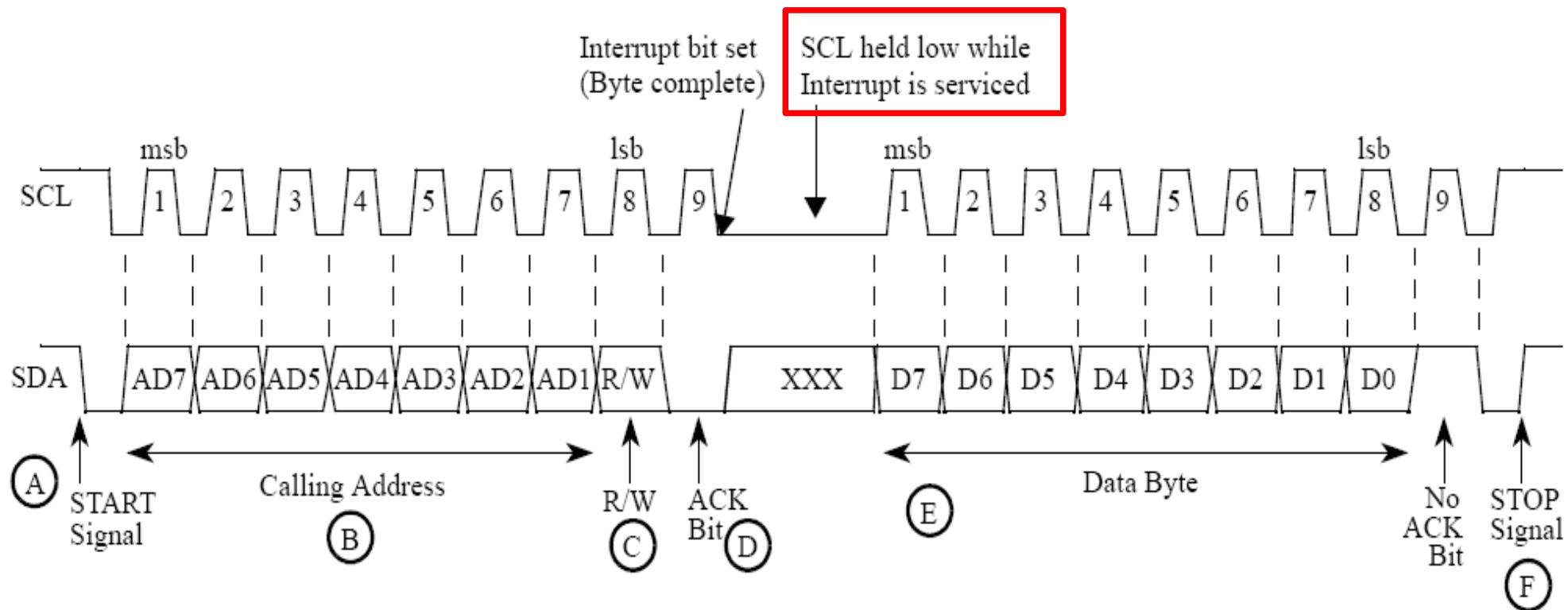


Zakończenie transmisji – generacja sygnału STOP (narastające zbocze na szynie SDA, zmiana stanu z “0” na “1” logiczną, podczas ważnego sygnału SCL = ”1”). Sygnał generuje Master.





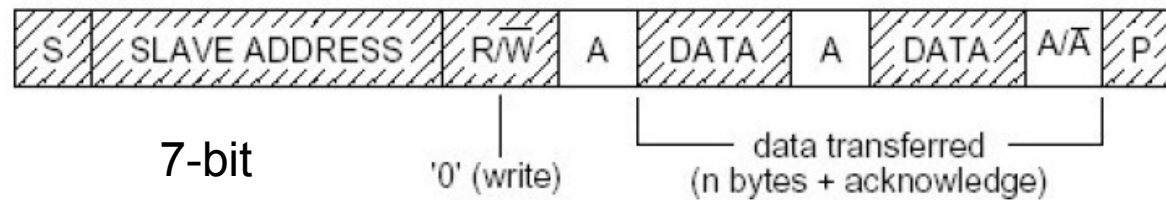
# Protokół I2C





- A) Transmisja rozpoczyna Master generując sygnał START.
- B) Następnie transmituje 8 bitów danych (7 bitów adresowych, bit R/W).
- C) Po transmisji 8 bitów Slave przejmuje magistralę i wymusza odpowiedni poziom na linii SDA (9 takt zegara). Odpowiada w ten sposób bitem potwierdzenia ACK (brak potwierdzenia, ACK = "1").
- E) Po przesłaniu adresu następuje faza odczytu lub zapisu danej do obsługiwanego urządzenia (8 bitów danych).
- F) Po przesłaniu danych urządzenie nadrzędne kończy transmisję generując brak potwierdzenia (ACK = "1") oraz bit stopu.

# Zapis lub odczyt

## master-transmitter



 from master to slave

 from slave to master

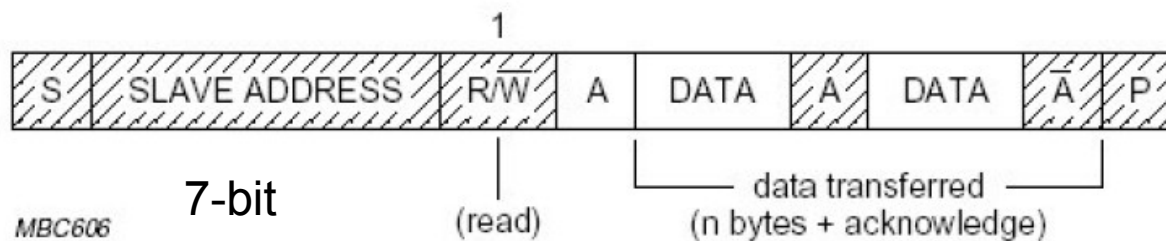
A = acknowledge (SDA LOW)

$\bar{A}$  = not acknowledge (SDA HIGH)

S = START condition

P = STOP condition

## master-receiver (since second byte)



MBC606

# Magistrala I2C

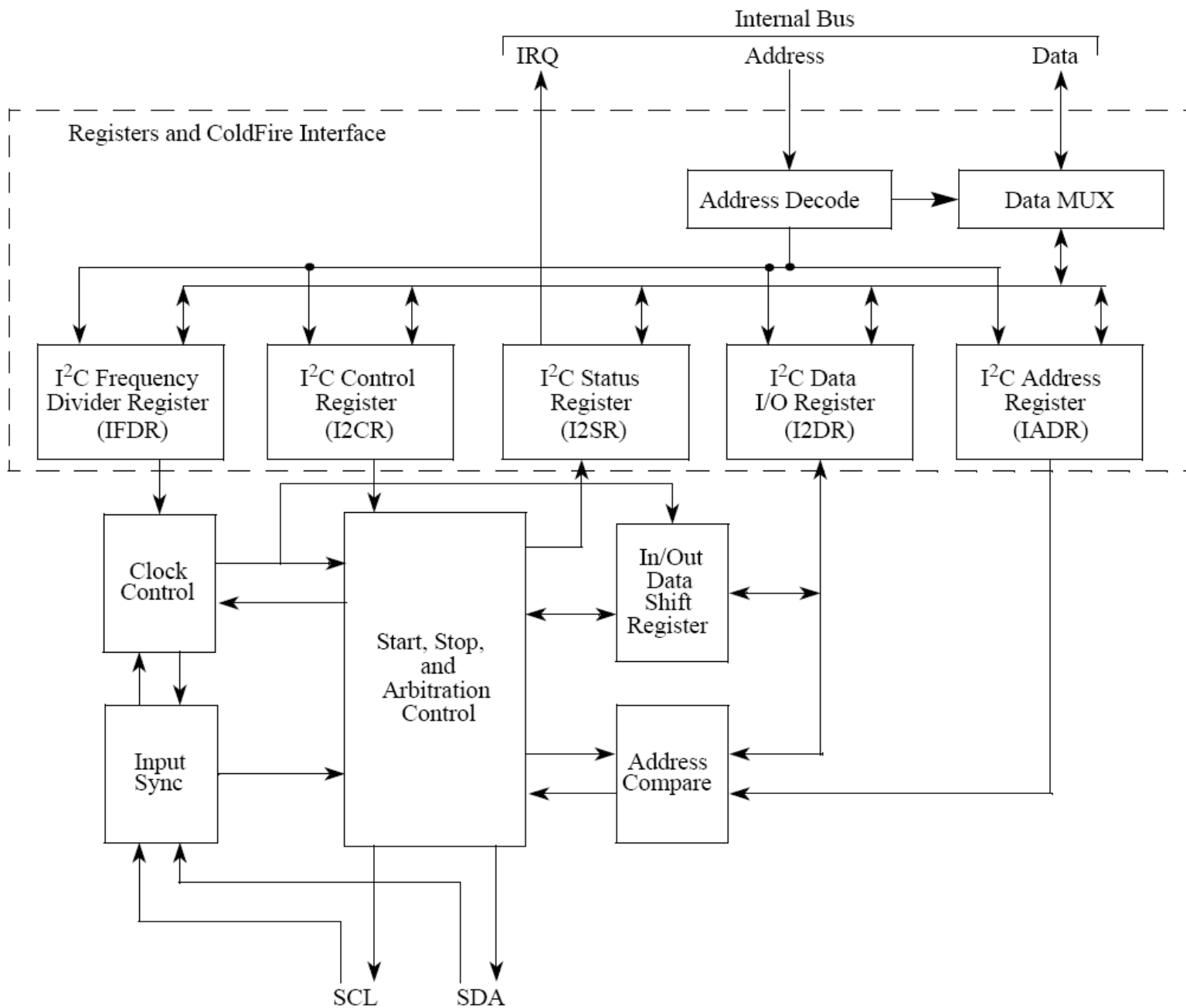
---

Moduł sterujący interfejsem I2C procesorów rodziny ColdFire:

- Zgodny ze standardem w wersji 2.1,
- Umożliwia dołączenie urządzeń zasilanych napięciem 3,3 V,
- Praca w trybie multimeter,
- Możliwość użycia 50 różnych częstotliwości zegara (fclk/28 - fclk/2048),
- Transfery poszczególnych bajtów wyzwalane przerwaniem,
- Automatycznie przejście do trybu Slave w przypadku kolizji na magistrali (Arbitration-lost interrupt),
- Przerwanie zgłaszane, gdy zostanie wykryty adres urządzenia w trybie Slave,
- Automatyczne wykrywanie stanu zajętością magistrali.

IPSBAR Offset	[31:24]	[23:16]	[15:8]	[7:0]
0x300	I <sup>2</sup> C Address Register (I2ADR) [p. 24-6]		Reserved	
0x304	I <sup>2</sup> C Frequency Divider Register (I2FDR) [p. 24-7]		Reserved	
0x308	I <sup>2</sup> C Control Register (I2CR) [p. 24-8]		Reserved	
0x30C	I <sup>2</sup> C Status Register (I2SR) [p. 24-9]		Reserved	
0x310	I <sup>2</sup> C Data I/O Register (I2DR) [p. 24-10]		Reserved	

# Schemat blokowy modułu I2C



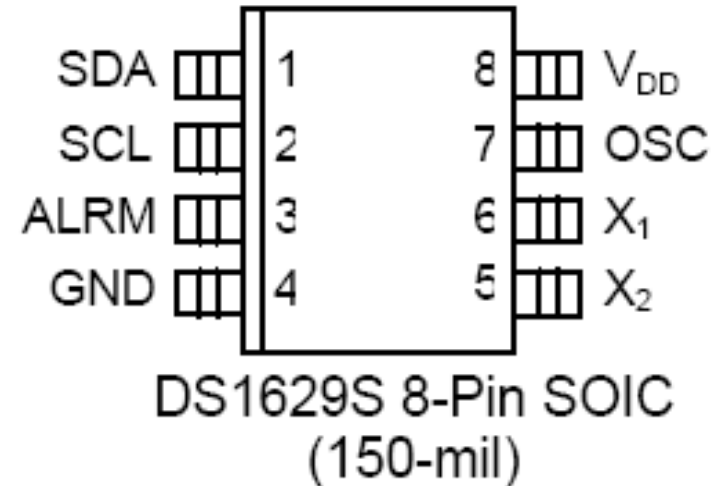
# Rejestr statusowy I2SR

Bits	Name	Description
7	ICF	Data transferring bit. While one byte of data is transferred, ICF is cleared. 0 Transfer in progress 1 Transfer complete. Set by the falling edge of the ninth clock of a byte transfer.
6	IAAS	I <sup>2</sup> C addressed as a slave bit. The CPU is interrupted if I2CR[IIEN] is set. Next, the CPU must check SRW and set its TX/RX mode accordingly. Writing to I2CR clears this bit. 0 Not addressed. 1 Addressed as a slave. Set when its own address (IADR) matches the calling address.
5	IBB	I <sup>2</sup> C bus busy bit. Indicates the status of the bus. 0 Bus is idle. If a STOP signal is detected, IBB is cleared. 1 Bus is busy. When START is detected, IBB is set.
4	IAL	Arbitration lost. Set by hardware in the following circumstances. (IAL must be cleared by software by writing zero to it.) <ul style="list-style-type: none"> <li>• SDA sampled low when the master drives high during an address or data-transmit cycle.</li> <li>• SDA sampled low when the master drives high during the acknowledge bit of a data-receive cycle.</li> <li>• A start cycle is attempted when the bus is busy.</li> <li>• A repeated start cycle is requested in slave mode.</li> <li>• A stop condition is detected when the master did not request it.</li> </ul>
3	—	Reserved, should be cleared.
2	SRW	Slave read/write. When IAAS is set, SRW indicates the value of the R/W command bit of the calling address sent from the master. SRW is valid only when a complete transfer has occurred, no other transfers have been initiated, and the I <sup>2</sup> C module is a slave and has an address match. 0 Slave receive, master writing to slave. 1 Slave transmit, master reading from slave.
1	IIF	I <sup>2</sup> C interrupt. Must be cleared by software by writing a zero to it in the interrupt routine. 0 No I <sup>2</sup> C interrupt pending 1 An interrupt is pending, which causes a processor interrupt request (if IIEN = 1). Set when one of the following occurs: <ul style="list-style-type: none"> <li>• Complete one byte transfer (set at the falling edge of the ninth clock)</li> <li>• Reception of a calling address that matches its own specific address in slave-receive mode</li> <li>• Arbitration lost</li> </ul>
0	RXAK	Received acknowledge. The value of SDA during the acknowledge bit of a bus cycle. 0 An acknowledge signal was received after the completion of 8-bit data transmission on the bus 1 No acknowledge signal was detected at the ninth clock.

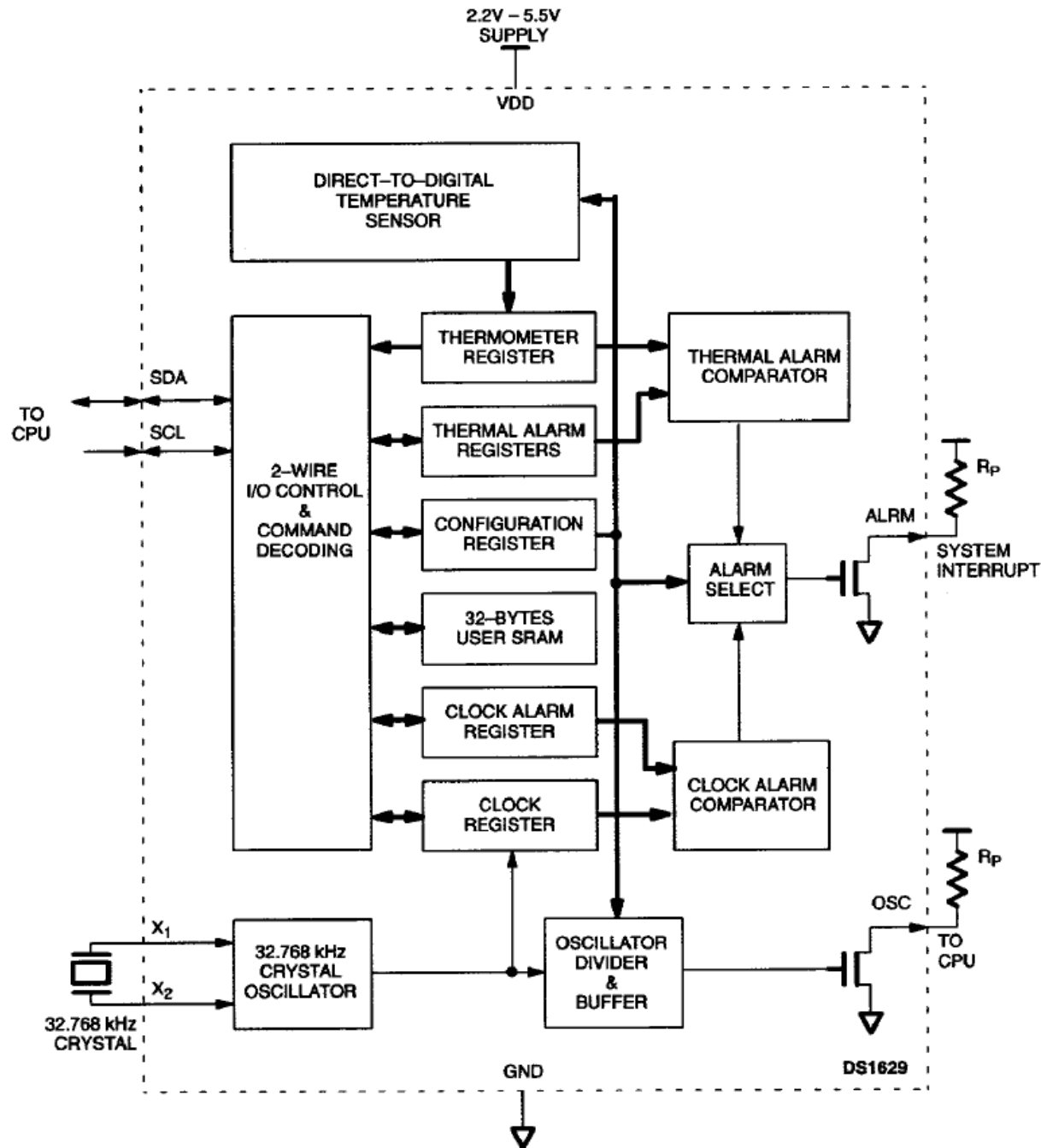
# Zegar czasu rzeczywistego

## Cechy układu DS1629:

- ★ Zegar czasu rzeczywistego,
- ★ Pomiar temperatury -55 – 125 C,
- ★ Rozdzielczość termometru: 9 bitów,
- ★ Dokładność termometru +/- 2 C,
- ★ Układ termostatu,
- ★ 32 bajty pamięci SRAM,
- ★ Zasilanie 2,2 – 5,5 V,
- ★ Interfejs zgodny ze standardem I2C (400 kHz).



# Zegar czasu rzeczywistego



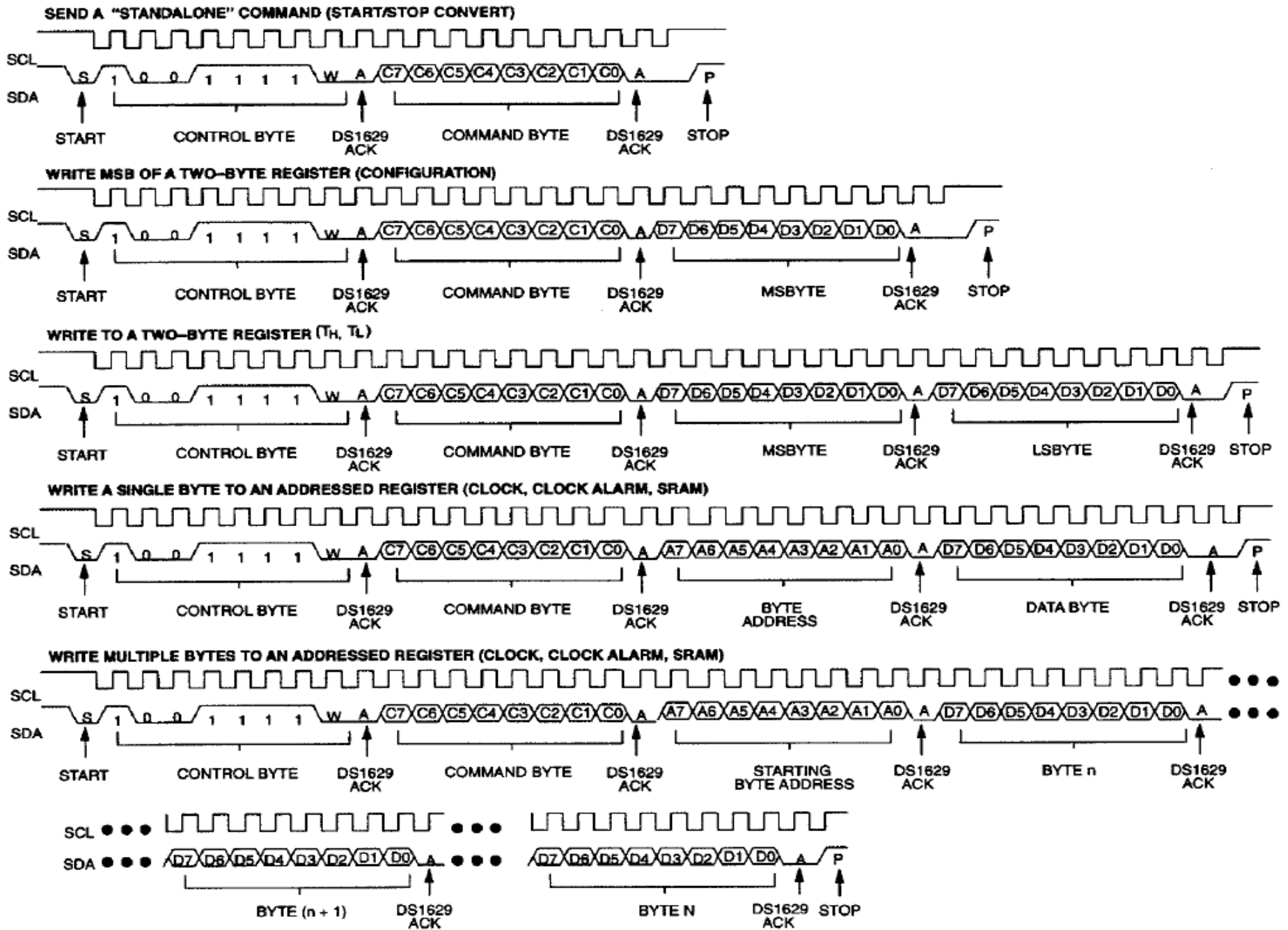
# Rejestr zegara RTC

**DS1629 Command Set Table 8**

INSTRUCTION	PROTOCOL	DESCRIPTION	2-wire bus data after issuing protocol	NOTES
<b>CONFIGURATION / MEMORY COMMANDS</b>				
Access Configuration	ACh	Writes to 8-bit configuration register	1 data byte	1, 5
		Reads from configuration/status register	1 or 2 data bytes	
Access Memory	17h	Writes to SRAM array	Starting Address+N-bytes	1, 2
		Read from SRAM array	Starting Address+N-bytes	
<b>THERMOMETER COMMANDS</b>				
Start Convert T	EEh	Initiates temperature conversion(s)	Idle	3
Stop Convert T	22h	Terminates continuous conversions	Idle	3
Read Temperature	AAh	Reads Temperature Register	Read 1 or 2 data bytes	4
Read Counter	A8h	Reads COUNT_REMAIN	Read 1 data byte	
Read Slope	A9h	Reads COUNT_PER_C	Read 1 data byte	
Access TH	A1h	Writes to/Reads from TH register	Write 2 data bytes Read 1 or 2 data bytes	1, 5
Access TL	A2h	Writes to/Reads from TL register	Write 2 data bytes Read 1 or 2 data bytes	1, 5
<b>CLOCK COMMANDS</b>				
Access Clock	C0h	Sets/Reads Clock	Starting Address + N-bytes	1, 2
Access Clock Alarm	C7h	Sets/ Reads Clock Alarm	Starting Address + N-bytes	1, 2



# Transmisja z wykorzystaniem interfejsu I2C

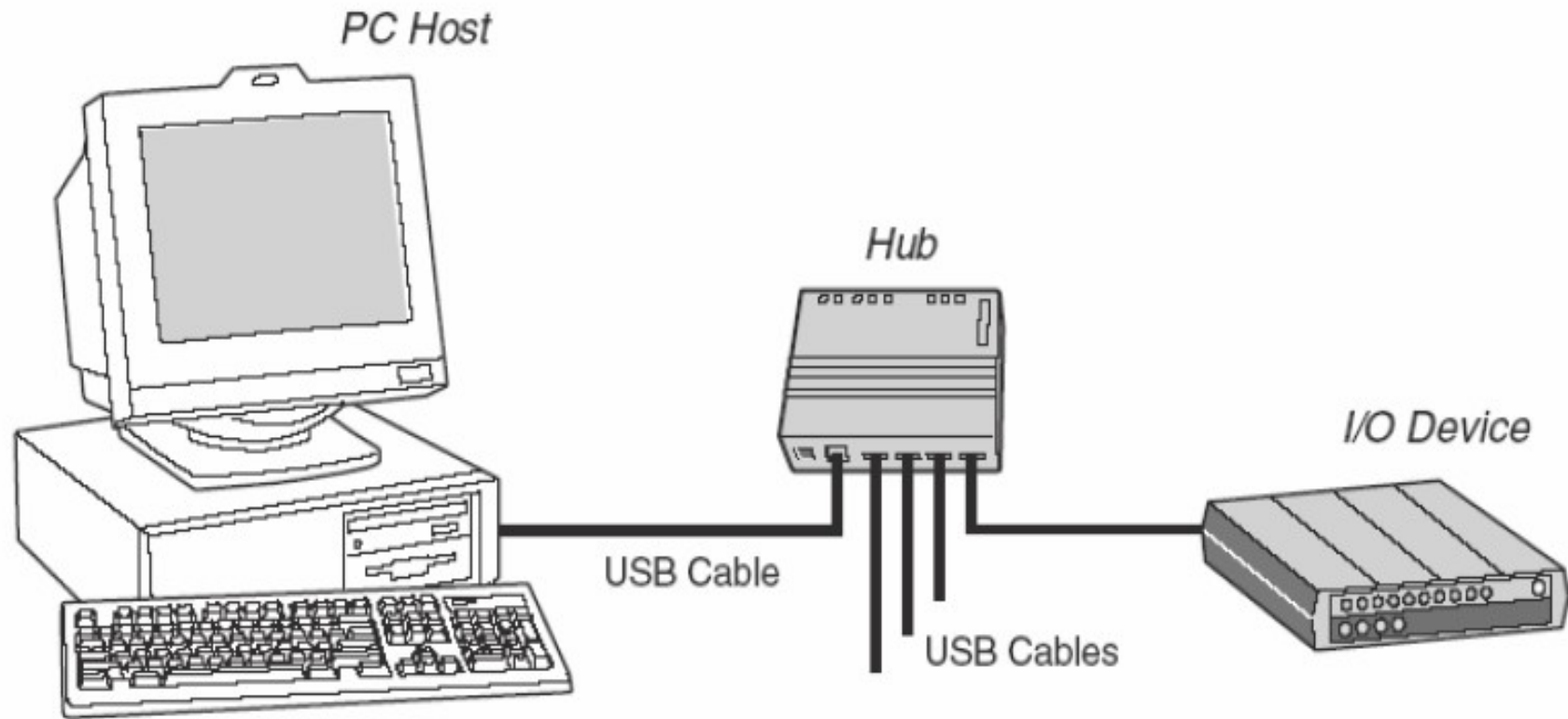


---

# Magistrala USB (Universal Serial Bus)

# Magistrala USB

---



# Cechy magistrali USB

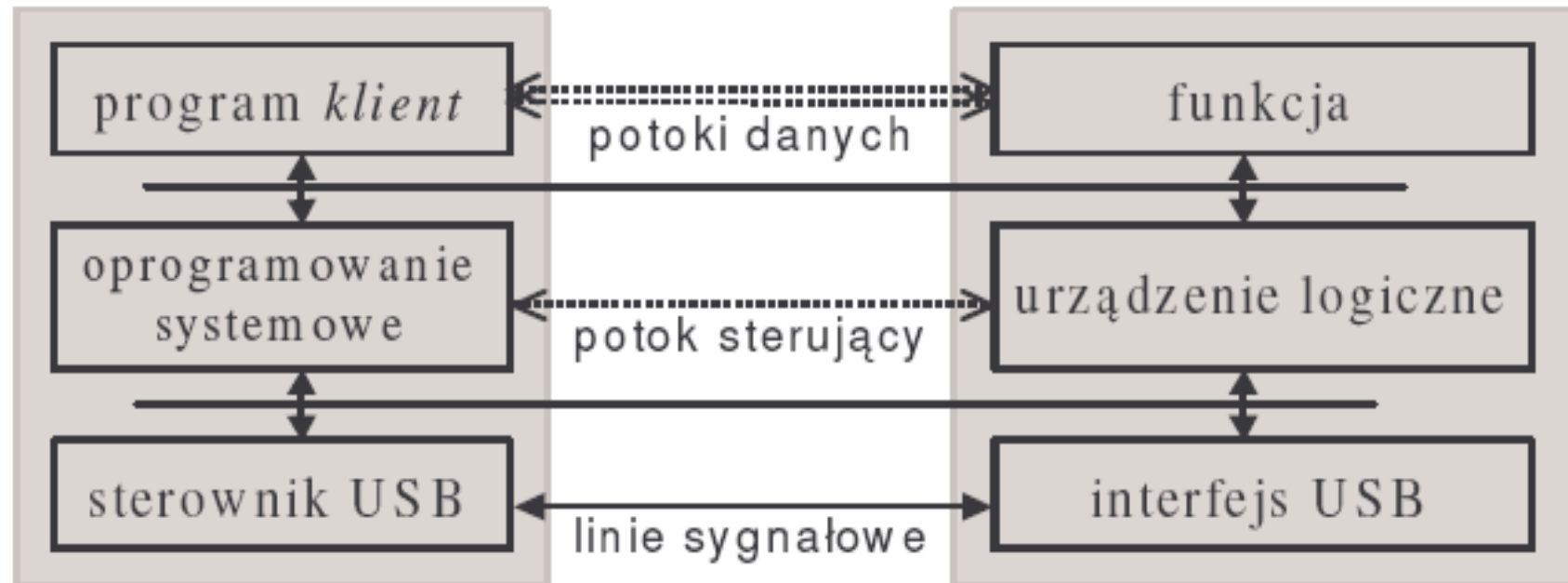
- ★ Asynchroniczna, szeregowo, różnicowa transmisja danych,
- ★ Automatyczna detekcja dołączenia/odłączenia urządzenia oraz automatyczna konfiguracja,
- ★ Pojedyncze, ustandaryzowane złącze,
- ★ Możliwość dołączenia do 127 urządzeń do magistrali,
- ★ Automatyczna detekcja i korekcja błędów,
- ★ Szybkość transmisji danych:
  - LOW 1.5 Mb/s, specyfikacja USB >1.1,
  - FULL 12 Mb/s, specyfikacja USB >1.1,
  - HIGH 480 Mb/s, specyfikacja USB 2.0.

<u>TRANSMISJA</u>	<u>PRZYKŁADOWE ZASTOSOWANIA</u>	<u>CZĘSTOTLIWOŚĆ PRACY INTERFEJSU USB</u>
<b>WOLNA</b> 10 - 100 kb/s	Klawiatura, mysz, manipulATORY.	<b>mała - 1,5 Mb/s</b>
<b>ŚREDNIA</b> 500 kb/s - 10 Mb/s	Urządzenia do transmisji danych po liniach telefonicznych, urządzenia audio.	<b>pełna - 12 Mb/s</b>
<b>SZYBKA</b> 25 - 400 Mb/s	Urządzenia wideo, pamięci dyskowe.	<b>duża - 480 Mb/s</b>

# Struktura warstwowa magistrali USB

Komputer macierzysty

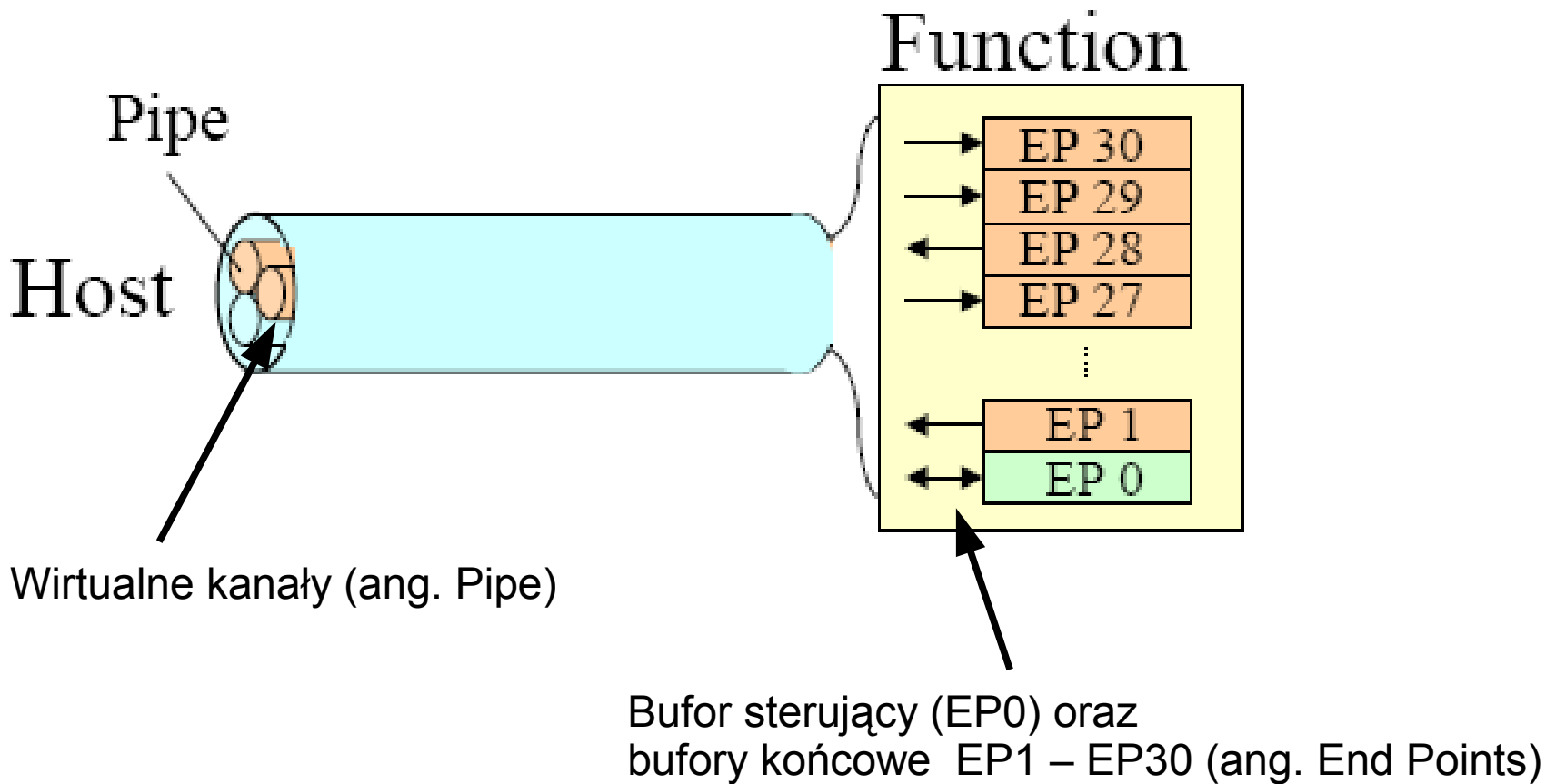
Urządzenie USB



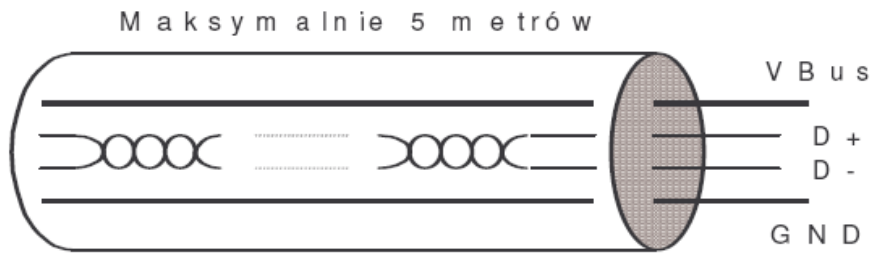
Magistrala USB zbudowana jest na bazie architektury typu gwiazda.  
Model systemu USB składa się z trzech warstw:

- ◆ warstwa fizyczna,
- ◆ warstwa logiczna,
- ◆ warstwa funkcjonalna.

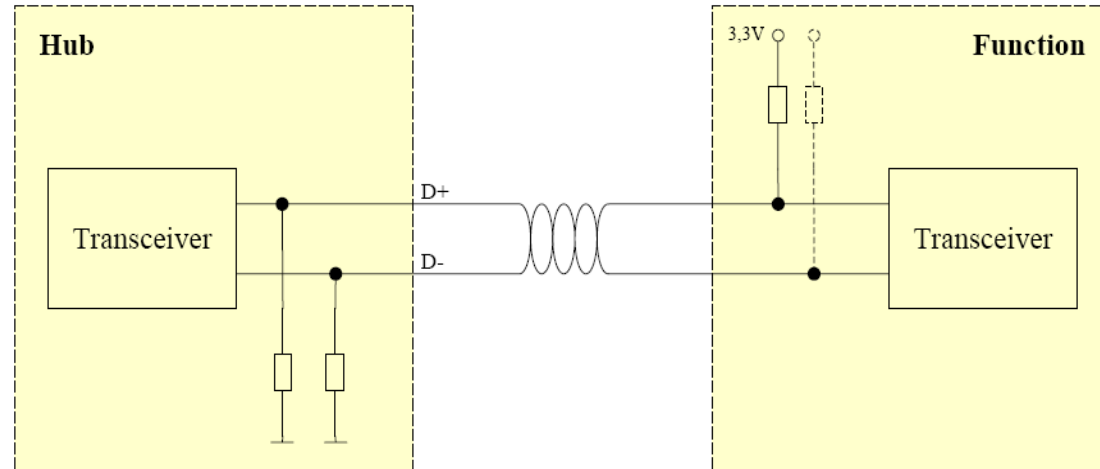
# Przepływ danych w systemie USB



# Warstwa fizyczna



Transmisja różnicowa, typu half-duplex. Dwa dodatkowe przewody zasilające 5 V/500 mA

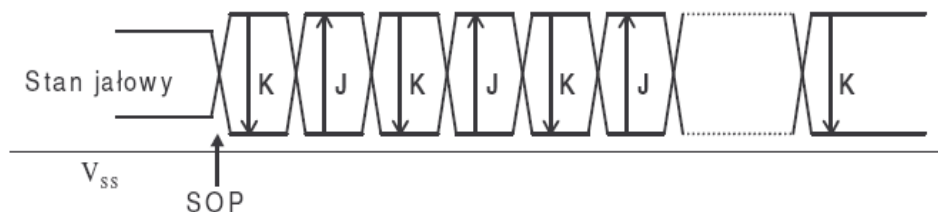


Złącza typu mini USB



Złącza USB typu "A" i "B"

# Elektryczna reprezentacja bitów



## Stan jałowy magistrali USB

Transmisja:	z dużą szybkością	z pełną szybkością	z małą szybkością
Linia (D+)	GND	> 2,7V	< 0,8 V
Linia (D-)	GND	< 0,8 V	> 2,7V

Podczas wolnej transmisji (1,5 Mb/s) na magistrali obowiązuje odwrotna logika:

- stan **J** - napięcie różnicowe (D+) - (D-) < -200 mV,
- stan **K** - napięcie różnicowe (D+) - (D-) > 200 mV.

W przypadku dużej szybkości transmisji (480 Mb/s) stany logiczne są podobne – różnią się zaostrozonymi wymaganiami co do napięcia różnicowego:

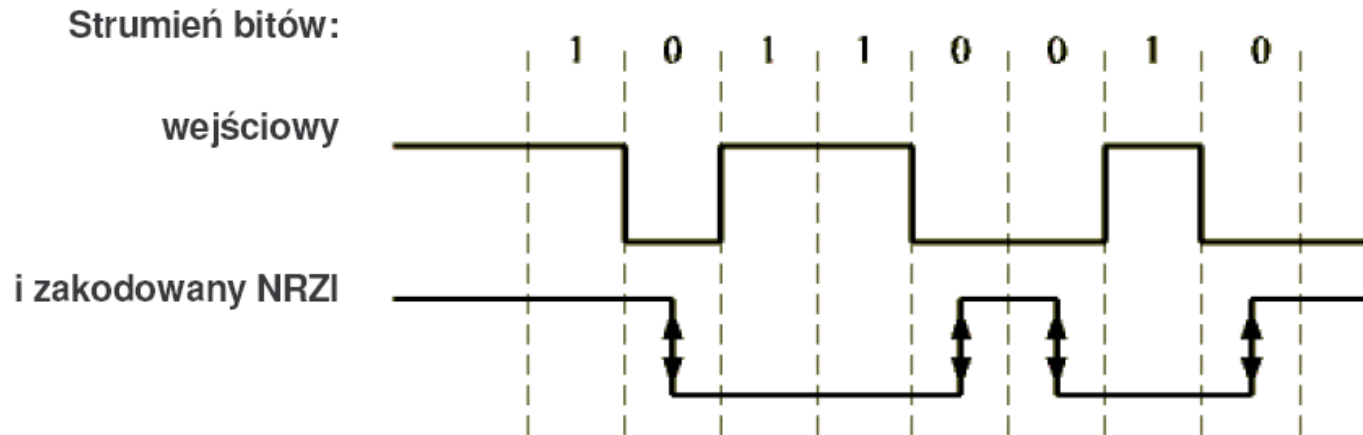
- **J** - normalna polaryzacja i napięcie różnicowe (D+) - (D-) > 300 mV,
- **K** - odwrócona polaryzacja a napięcie różnicowe (D+) - (D-) < -300 mV.

Przy pełnej częstotliwości transmisji danych (12 Mb/s):

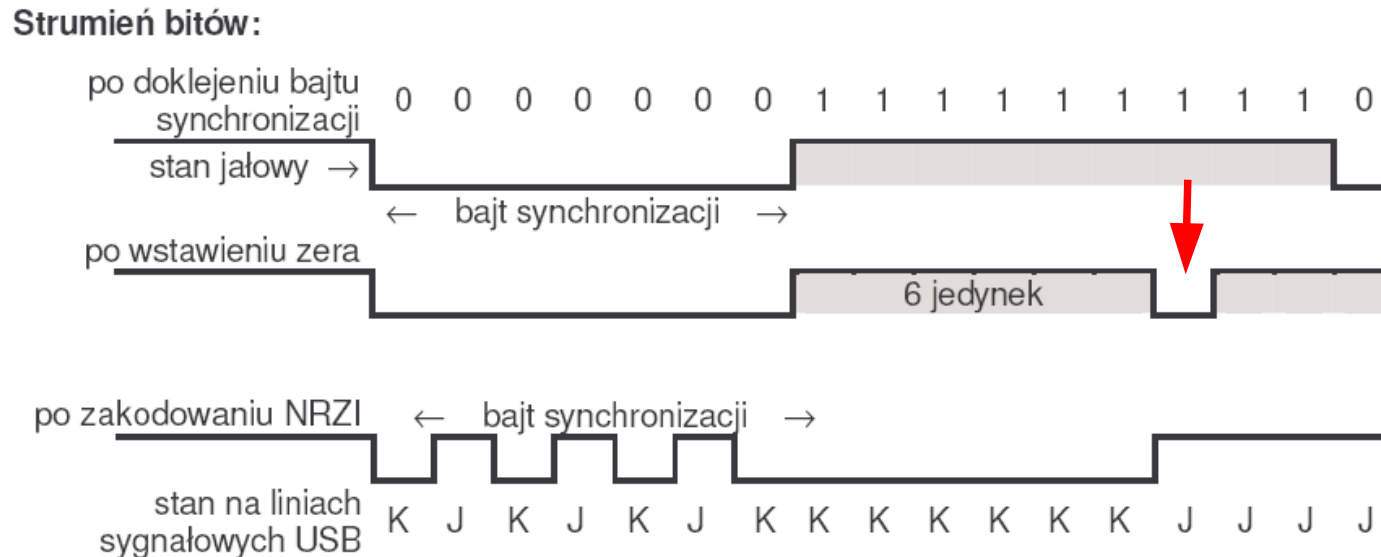
- stanowi **J** odpowiada normalna polaryzacja linii sygnałowych, przy czym napięcie różnicowe (D+) - (D-) > 200 mV,
- natomiast stan **K** występuje jeśli polaryzacja jest odwrócona a napięcie różnicowe (D+) - (D-) < -200 mV.



# Kodowanie danych

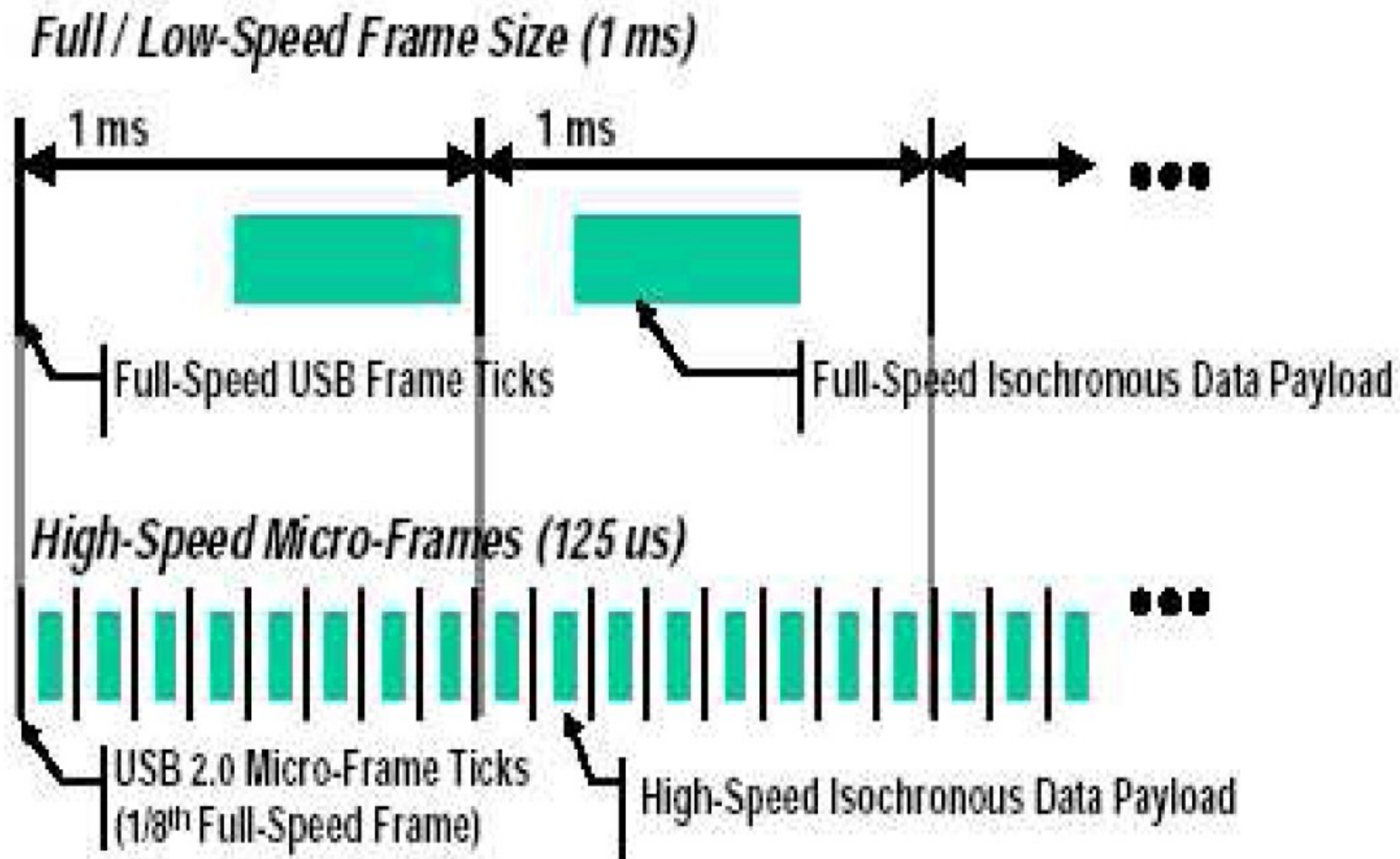


Kodowanie danych w systemie NRZI (ang. non-return-to-zero inverted)



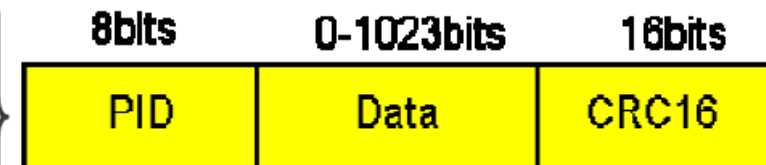
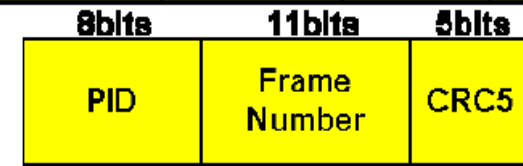
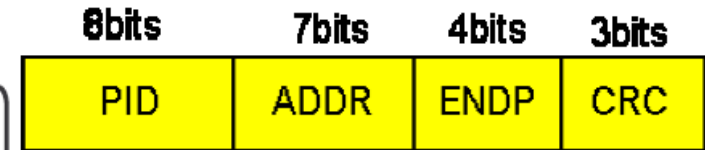
Strumień bitów po wstawieniu zera i zakodowaniu NRZI

# Zależności czasowe ramek USB



# Rodzaje pakietów (1)

Group	PID Value	Packet Identifier
Token	0001	OUT Token
	1001	IN Token
	0101	SOF Token
	1101	SETUP Token
Data	0011	DATA0
	1011	DATA1
	0111	DATA2
	1111	MDATA
Handshake	0010	ACK Handshake
	1010	NAK Handshake
	1110	STALL Handshake
	0110	NYET (No Response Yet)
Special	1100	PREamble
	1100	ERR
	1000	Split
	0100	Ping

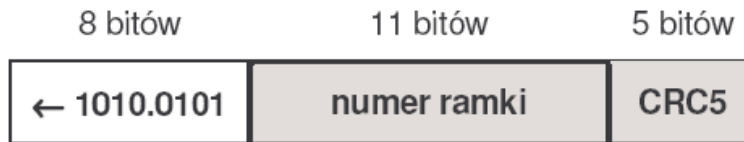


# Rodzaje pakietów (2)

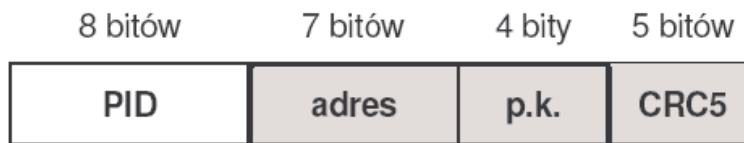
PID[3:0]	Typ	Nazwa	Opis	Zawartość
0101 →	Zapowiedź	SOF	Początek ramki.	Jedenastobitowy numer ramki.
0001 →		OUT	Zapowiedź transmisji danych z komputera do urządzenia.	Adres urządzenia i numer punktu końcowego.
1001 →		IN	Zapowiedź transmisji danych z urządzenia do komputera.	Adres urządzenia i numer punktu końcowego.
1101 →		SETUP	Zapowiedź poprzedzająca wysłanie informacji sterującej z komputera do urządzenia.	Adres urządzenia i numer punktu końcowego.
0011 →	Dane	DATA0	Poprzedza pakiet danych.	Parzysty pakiet danych.
1011 →		DATA1	Poprzedza pakiet danych.	Nieparzysty pakiet danych.
0111 →		DATA2	Identyfikator wykorzystywany (obok DATA0 i DATA1) do oznaczenia jednego z trzech pakietów danych podczas szerokopasmowej transmisji izochronicznej złożonej z trzech operacji IN lub OUT przypadających na jedną mikroramkę.	Pakiet danych pierwszej z trzech operacji IN przypadających na mikroramkę (kolejne oznaczone będą DATA1 i DATA0) lub pakiet trzeciej operacji OUT (pierwsze dwa oznaczone są MDATA).
1111 →		MDATA	Identyfikator wykorzystywany (obok DATA0 i DATA1) do oznaczenia jednego lub dwu pakietów danych podczas szerokopasmowej transmisji izochronicznej złożonej z 2 lub 3 operacji OUT przypadających na jedną mikroramkę.	Pakiet danych pierwszej z dwóch operacji OUT przypadających na mikroramkę (następny oznaczony będzie DATA1) lub jeden z dwu pierwszych pakietów, jeśli na mikroramkę przypadają 3 operacje (trzecim będzie DATA2).
0010 →	Odpowiedź	ACK	Potwierdzenie bezbłędnego odbioru pakietu danych.	Brak pola roboczego.
1010 →		NAK	Brak akceptacji odebranych danych lub brak gotowości do nadawania.	Brak pola roboczego.
1110 →		STALL	Punkt końcowy zablokowany.	Brak pola roboczego.
0110 →		NYET	Chwilowy brak gotowości do przyjęcia następnego pakietu danych (dotyczy prowadzonej z dużą szybkością operacji OUT)	Brak pola roboczego.
1100 →	Specjalny	PRE	Nagłówek wstępny - wysyłana przez komputer zapowiedź transmisji danych z małą szybkością.	Brak pola roboczego.
1000 →		SPLIT	Zapowiedź operacji dzielonej.	Adres koncentratora, numer portu i bity sterujące.
1100 →		ERR	Błąd operacji dzielonej.	Brak pola roboczego.
0100 →		PING	Zapowiedź operacji kontroli dostępu	Adres urządzenia i numer punktu końcowego.

# Przykładowe formaty przesyłanych danych

*SOF - pakiet początku ramki (mikroramki):*



*Pakiety zapowiedzi: IN, OUT, SETUP:*



Pakiety sterujące

*Pakiet danych:*



Ramka danych

Wielomiany generujące sumy kontrolne CRC

$$G(x) = x^5 + x^2 + 1.$$

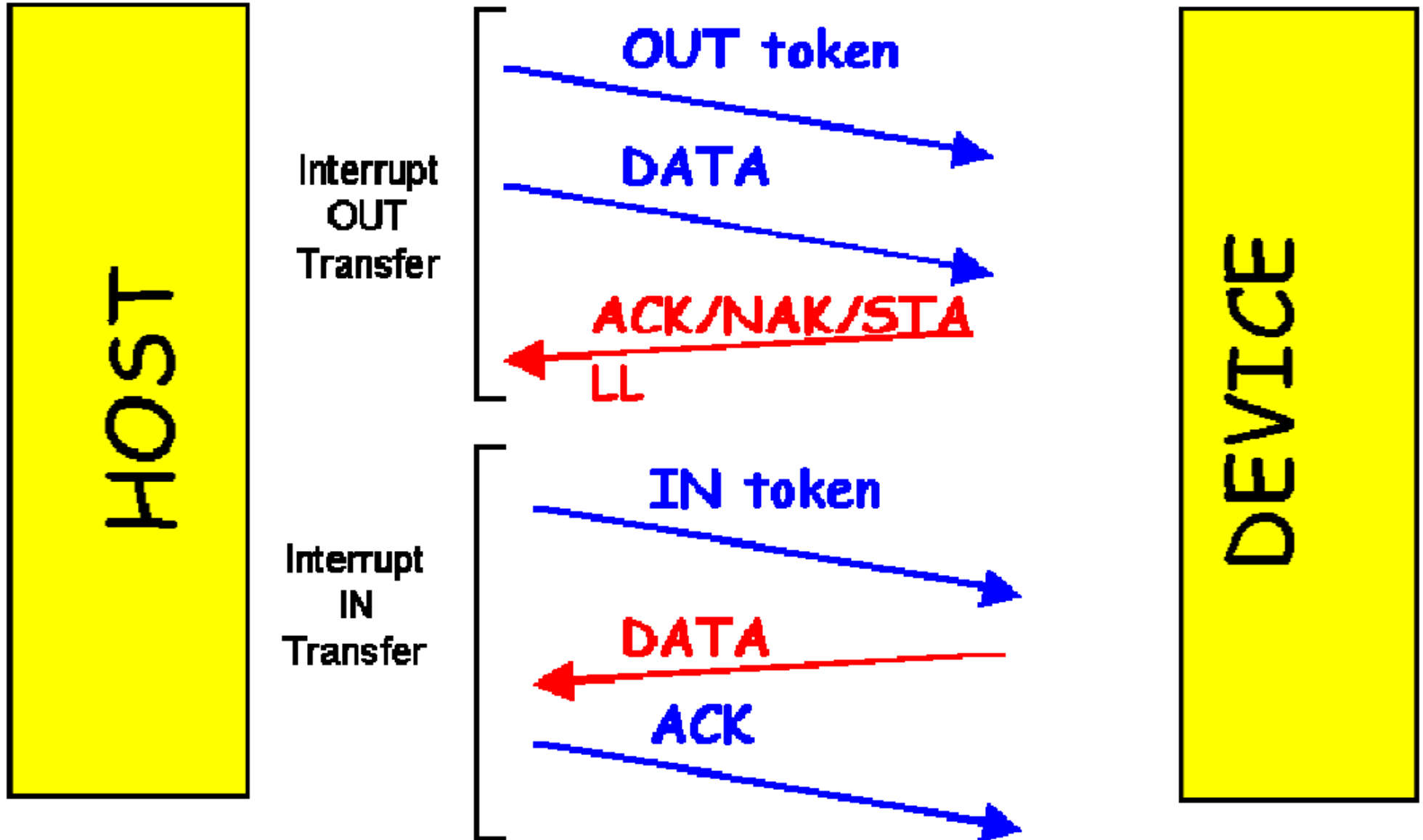
$$G(x) = x^{16} + x^{15} + x^2 + 1.$$

# Rodzaje transferów

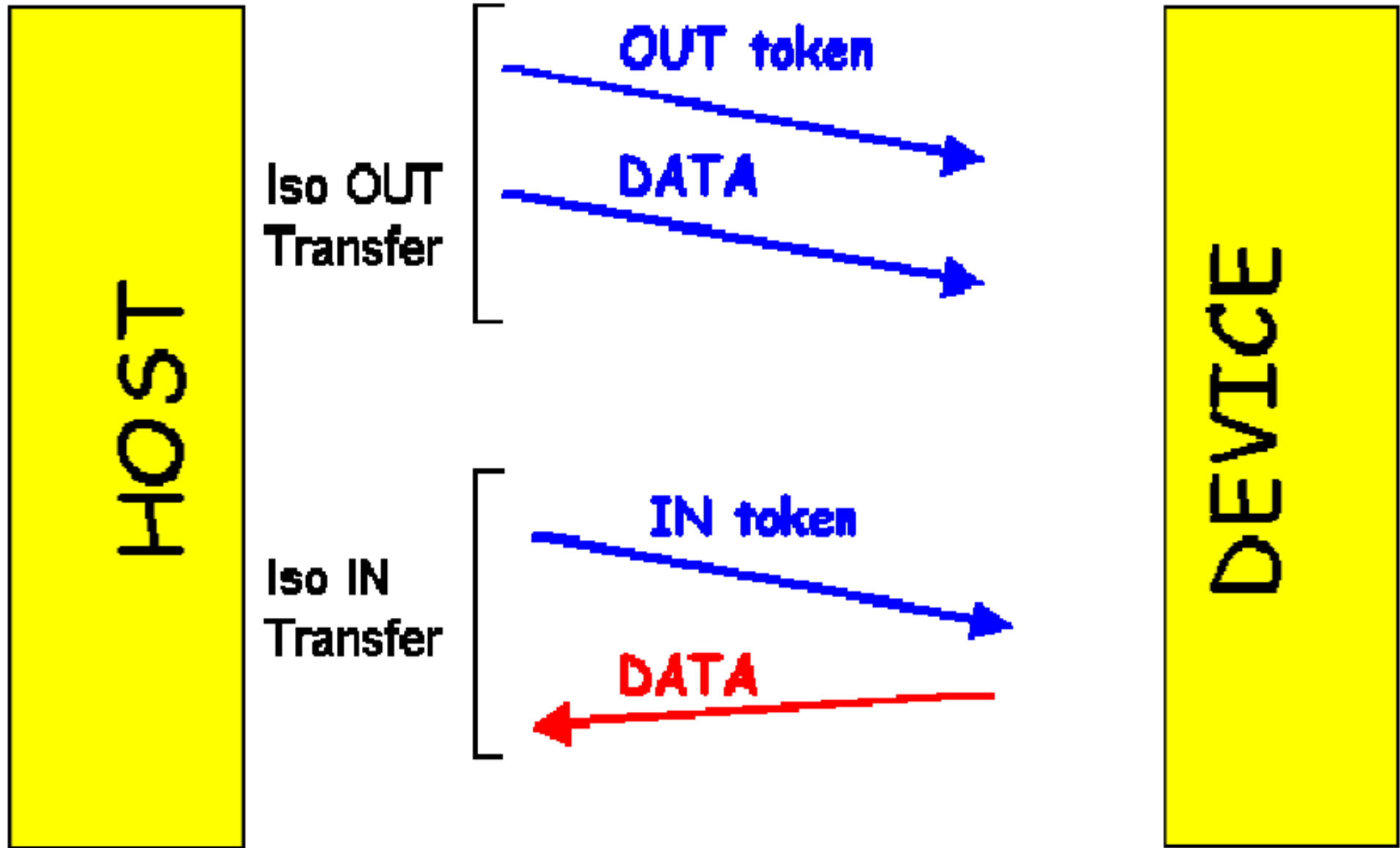
---

Type	Important attributes	Max size LS	Max size FS	Max size HS	Examples
Interrupt	Quality + time	8	64	3072	Mouse, keyboard
Bulk	Quality	-	64	512	Printer, scanner
Isochronous	time	-	1023	3072	Audio, video
Control	Quality + time	8	64	64	System control

# Transfer przerwaniowy i masowy

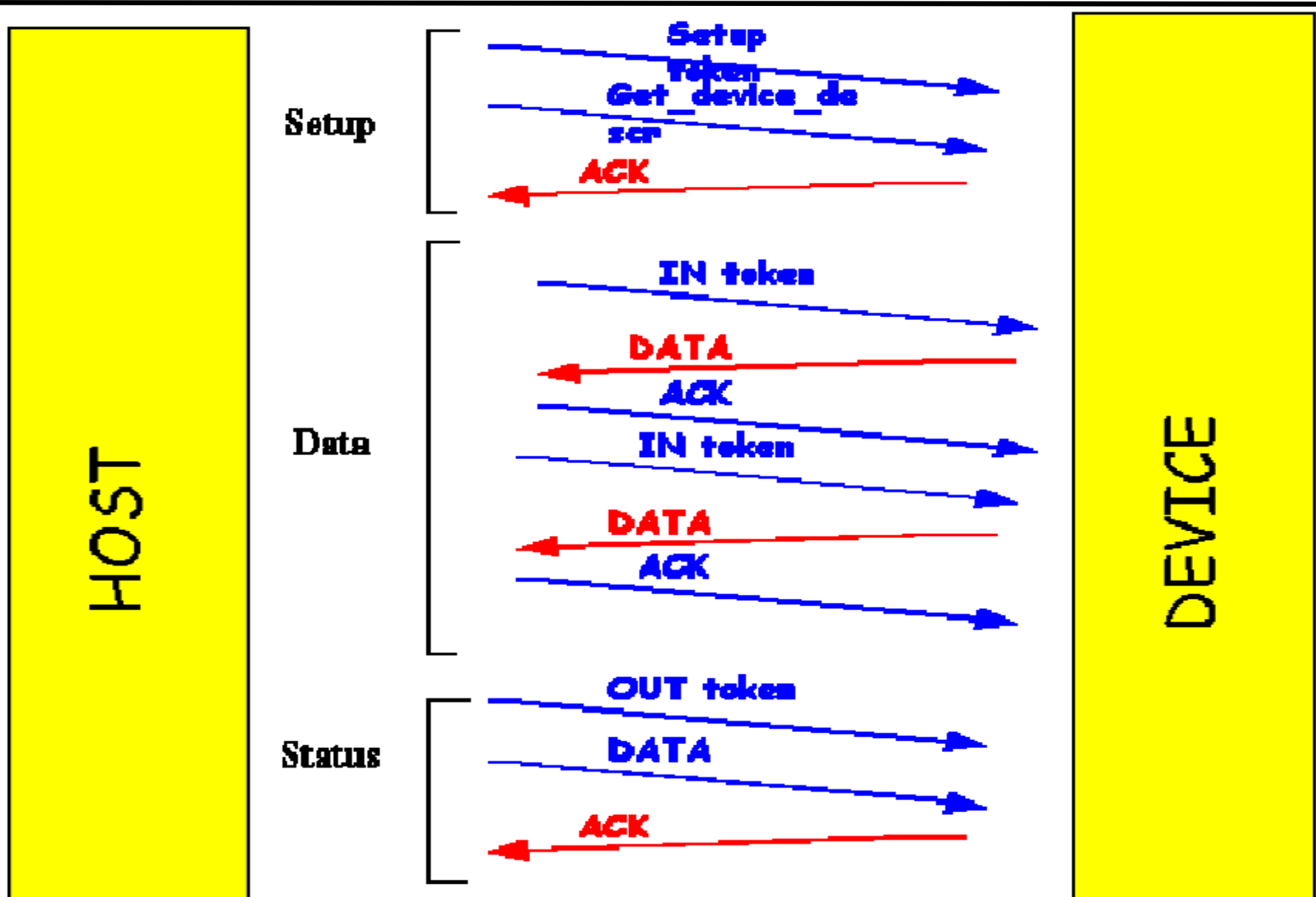


# Transfer izochroniczny





# Transfer sterujący



# Proces konfiguracji

---

**Enumeracja (ang. Enumeration)** – konfiguracja urządzeń przeprowadzana po dołączeniu lub odłączeniu nowego urządzenia od magistrali. Proces konfiguracji przeprowadzany jest przez urządzenie nadrzędne (Master). Master przypisuje indywidualne adresy do urządzeń oraz ustanawia podstawowe parametry transmisji:

- ★ Adres urządzenia w przestrzeni USB,
- ★ Rodzaj transferu,
- ★ Kierunek transmisji danych (read, write, read-write),
- ★ Rozmiar przesyłanych pakietów,
- ★ Szybkość transmisji,
- ★ Adresy buforów używanych przez sterowniki urządzenia,
- ★ Prąd pobierany przez urządzenie.

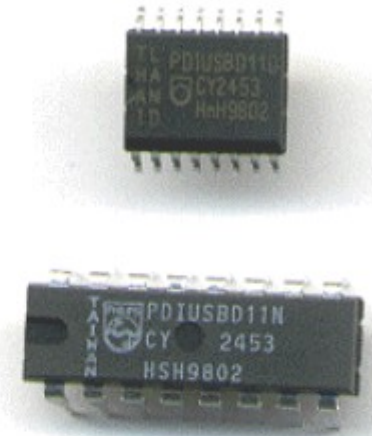
# Koncentratory USB

---

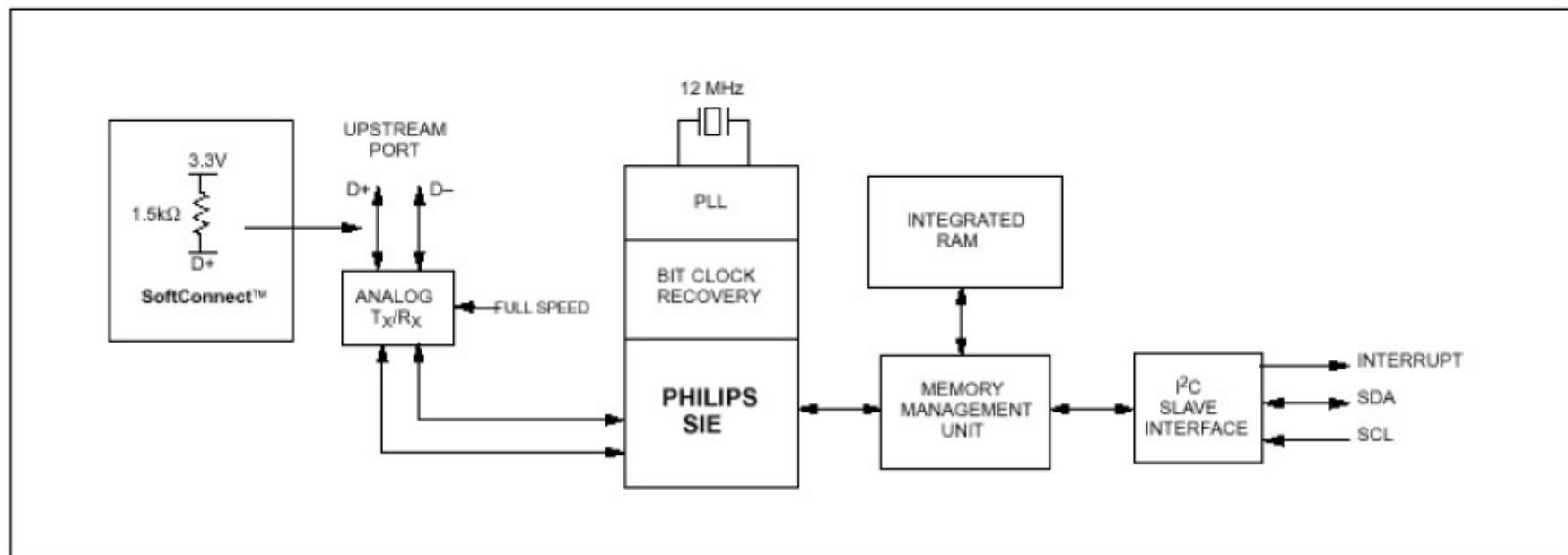


# Konverter USB - I2C

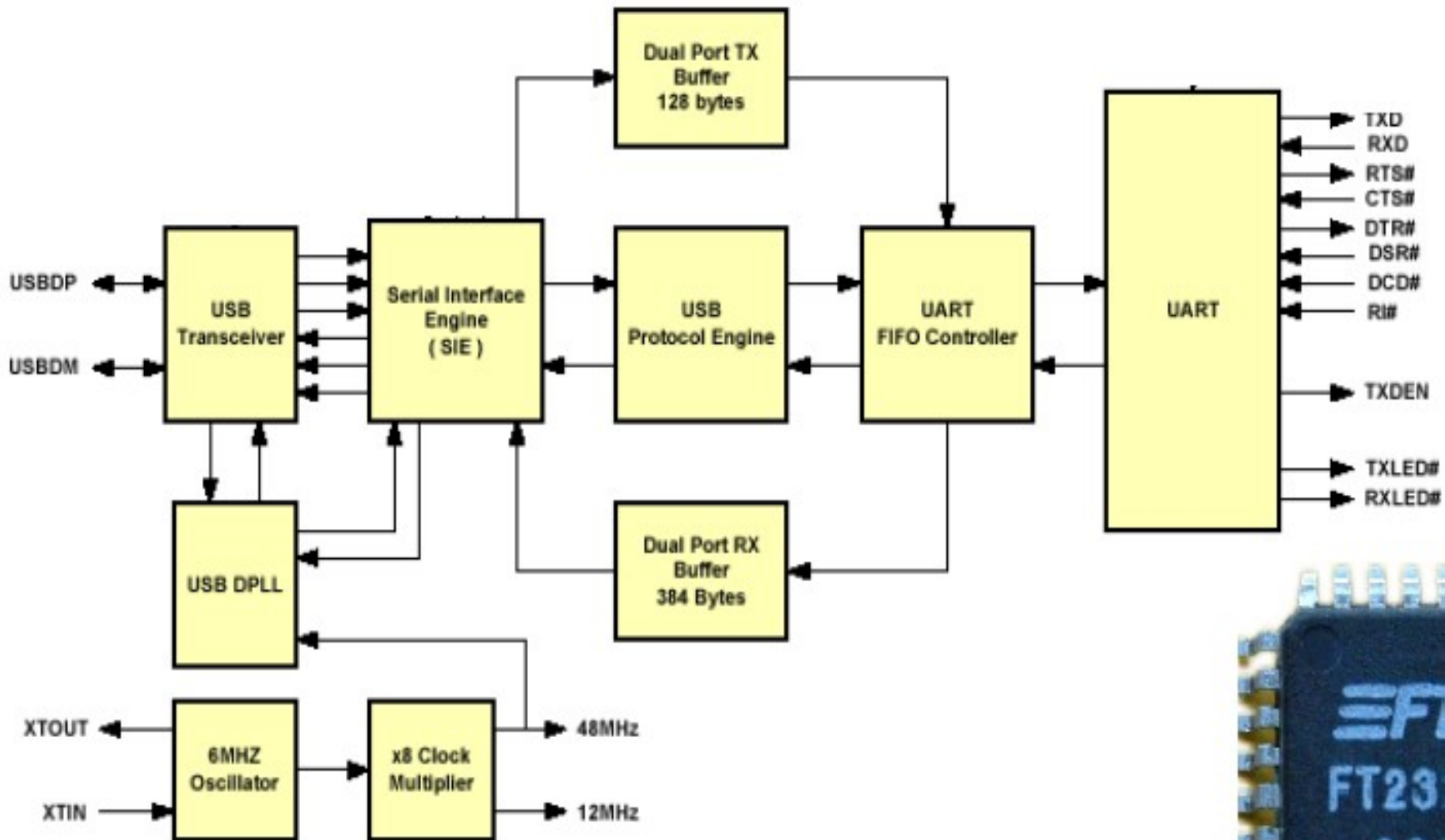
Philips PDIUSB11 (USB to I2C)



## BLOCK DIAGRAM



# Konverter EIA 232-USB



# USB i procesory ColdFire a USB

---

## Low\Full speed:

MCF 527X (72-75)	66 – 166 MHz
MCF 5221X (72-75)	80 MHz
MCF 5222X (72-75)	80 MHz
MCF 527X (72-73)	240 MHz
68HCS08JW32	8 MHz

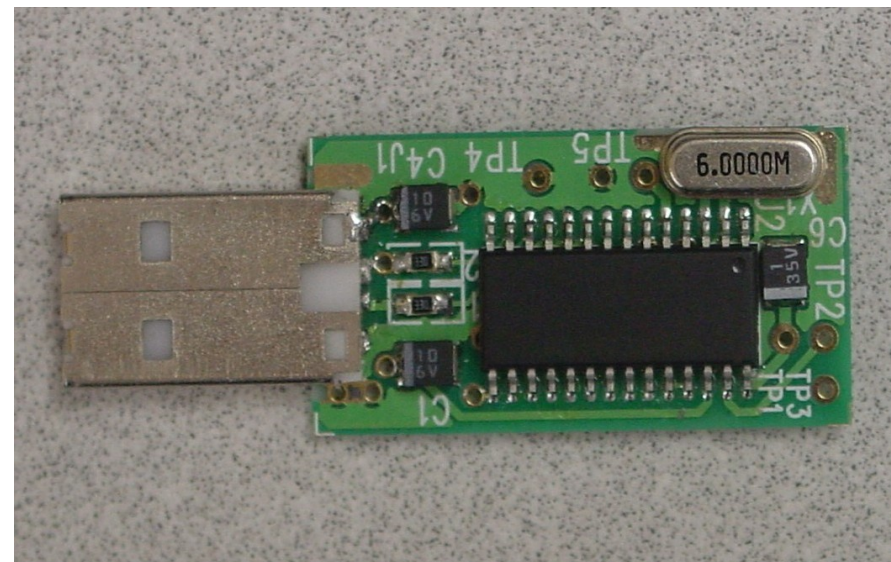
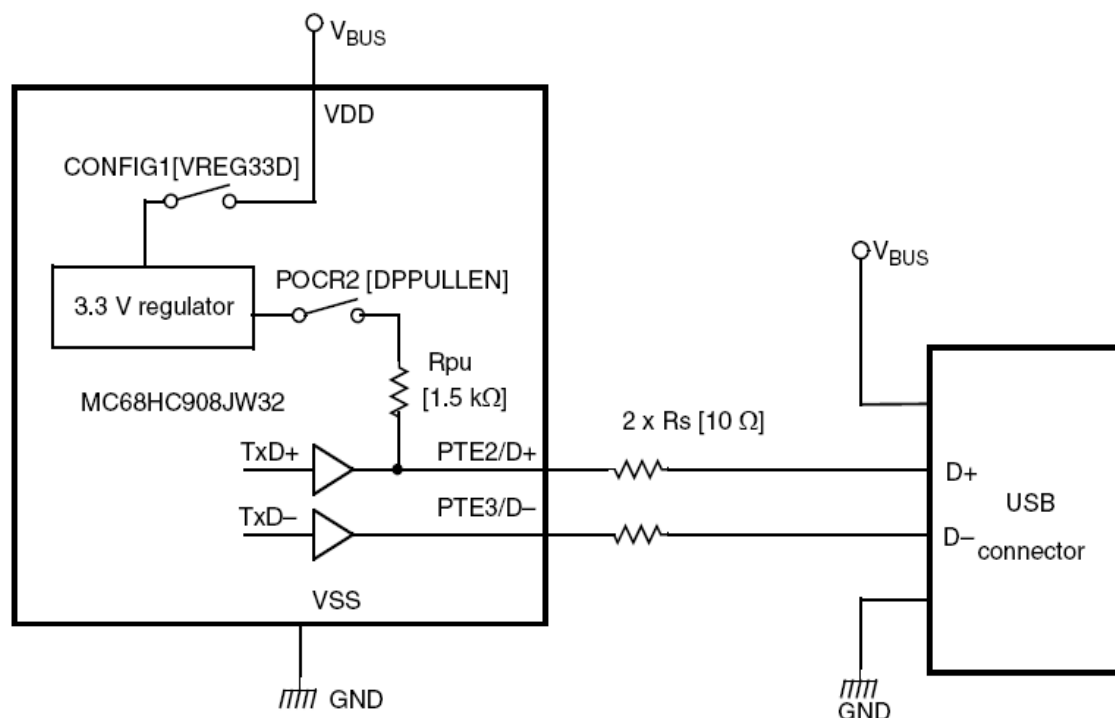
## High Speed:

MCF 547X (72-75)	200 –266 MHz
MCF 548X (82-85)	166 – 200 MHz
MCF 537X (77-79)	240 Mhz
MCF 5253	140 MHz

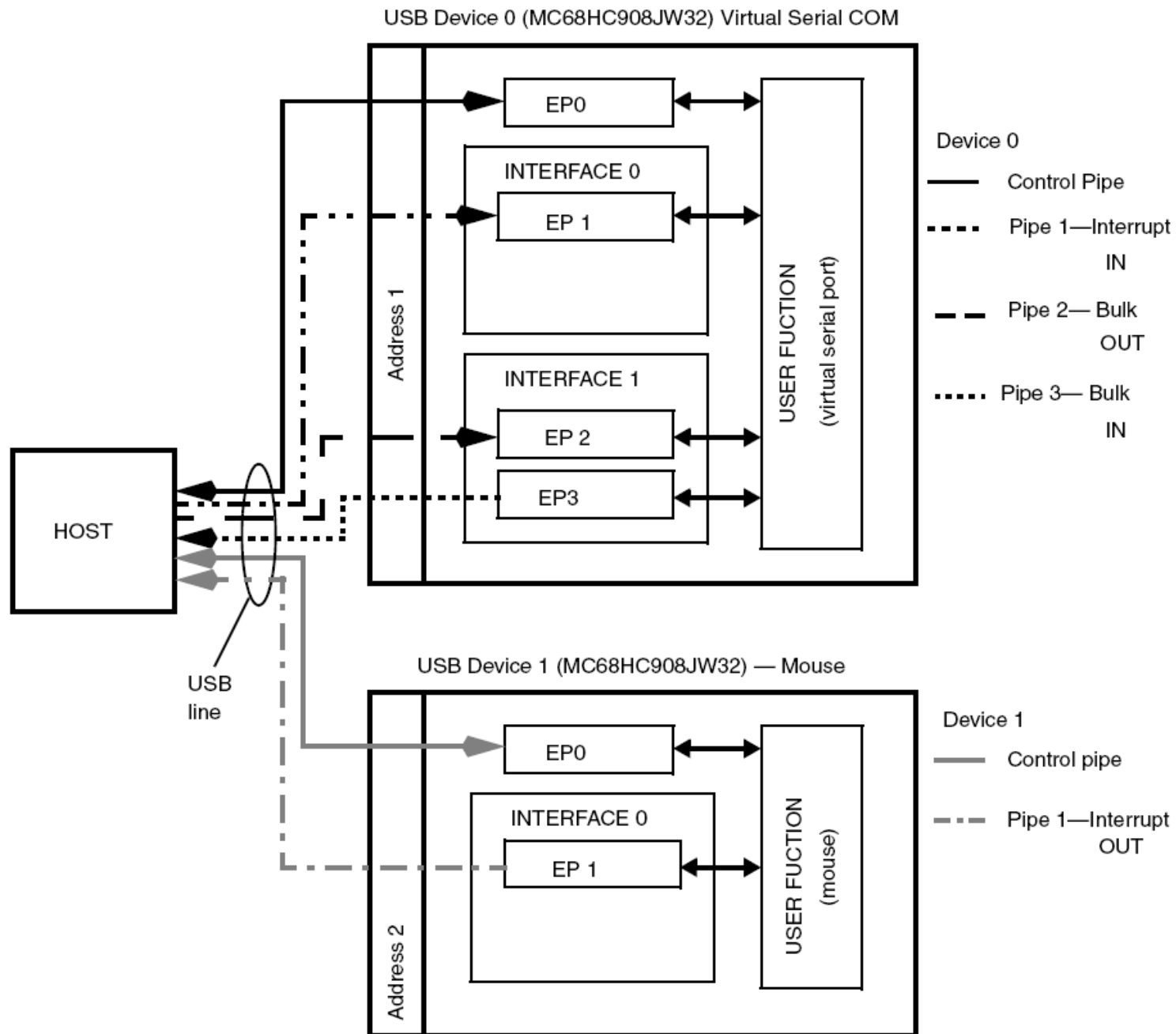
# Motorola 68HC908JW32

Cechy modułu USB procesora HC908:

- Interfejs zgodny ze standardem USB 2.0 full speed,
- 12 Mbps data rate,
- Wbudowany stabilizator napięcia 3.3 V,
- Endpoint 0 wyposażony w 8-bytowy bufor nadawczy i odbiorczy
- 64 bajtowy bufor endpoint współdzielony przez bufory końcowe 1-4.



# Przykładowa aplikacja

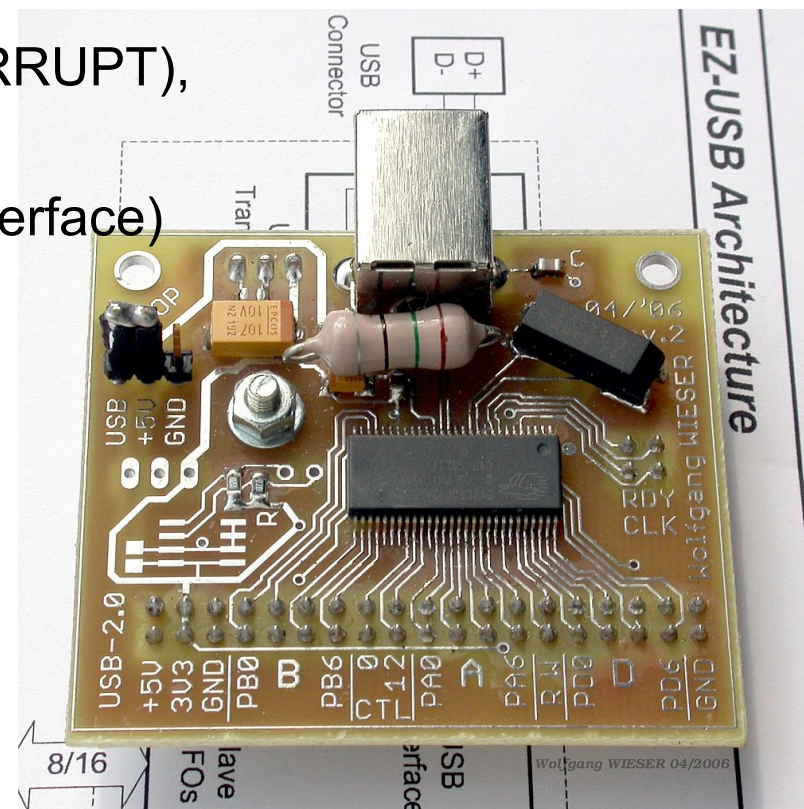




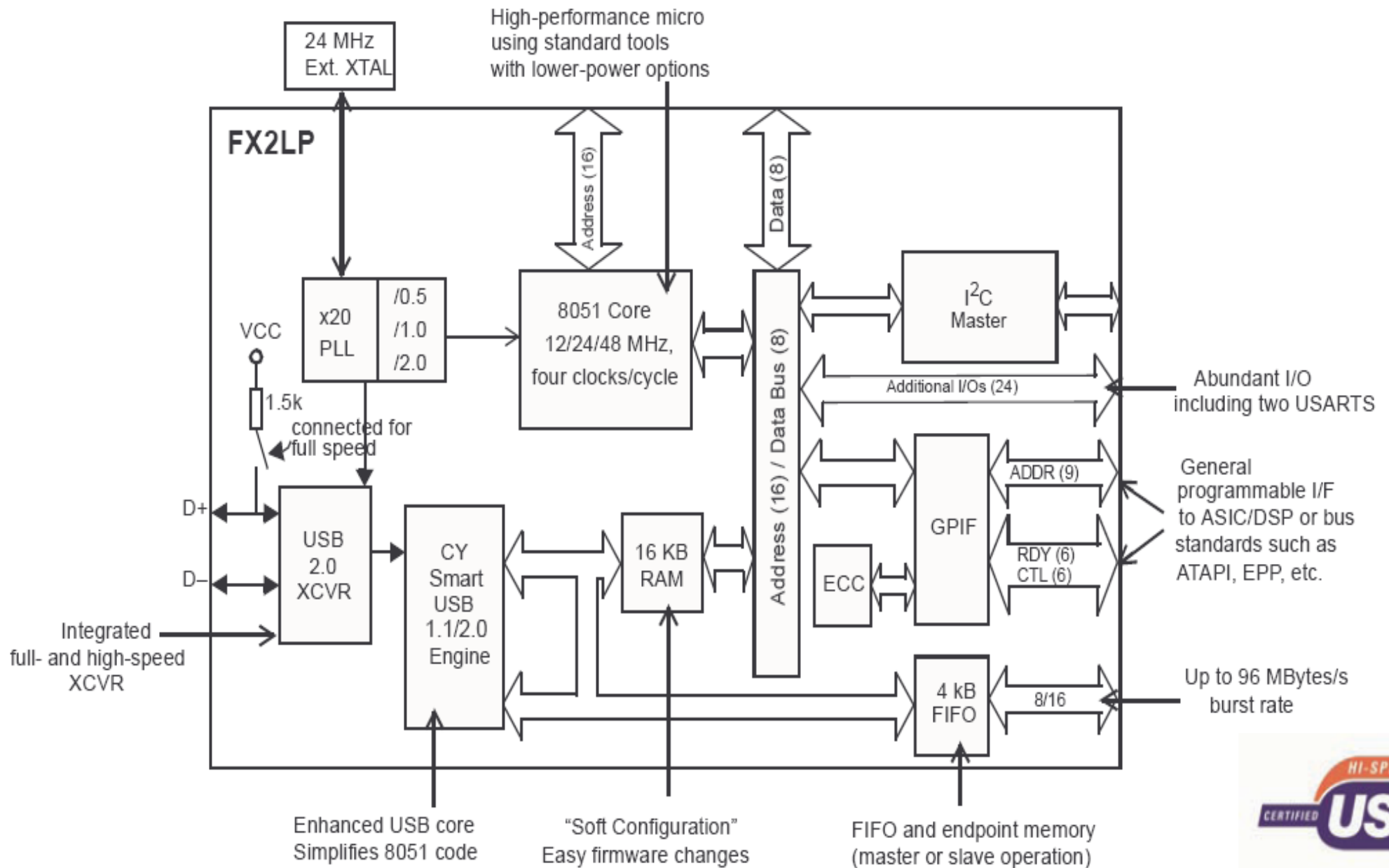
# Procesor Cypress CY7C68013A

Cechy procesora CY7C68013:

- ★ Interfejs zgodny ze standardem USB 2.0–USB-IF high speed,
- ★ Rozbudowane jądro procesora rodziny **8051**,
- ★ Zintegrowana pamięć programu 16 kB (RAM)
  - ➔ Pamięć ładowana z USB,
  - ➔ Pamięć ładowana z zewnętrznej pamięci EEPROM.
- ★ Cztery programowalne bufony końcowe (BULK/INTERRUPT/ISOCHRONOUS)
- ★ Dodatkowy 64 bajtowy endpoint (BULK/INTERRUPT),
- ★ 8- lub 16-bitowy interfejs zewnętrzny,
- ★ Kanał DMA, GPIF (General Programmable Interface)



# Processor Cypress CY7C68013A



---

**USB**

3.0

---

SuperSpeed USB 3.0 Specification  
Revolutionizes An Established Standard

# USB 3.0

---

- Interfejs szeregowy, full-duplex
- Szybkość transmisji danych: 5 Gb/s (10 razy szybciej niż USB 2.0)
- Standard kompatybilny z USB 2.0 (sterowniki i złącza), jednak znacznie różniący się od USB 2.0
- Transmisja danych full-duplex, zasilanie
- Inteligentne zarządzanie poborem energii, mniejsze zużycie energii
- Warstwa łącza danych i fizyczna podobna do interfejsu PCI express 2.0

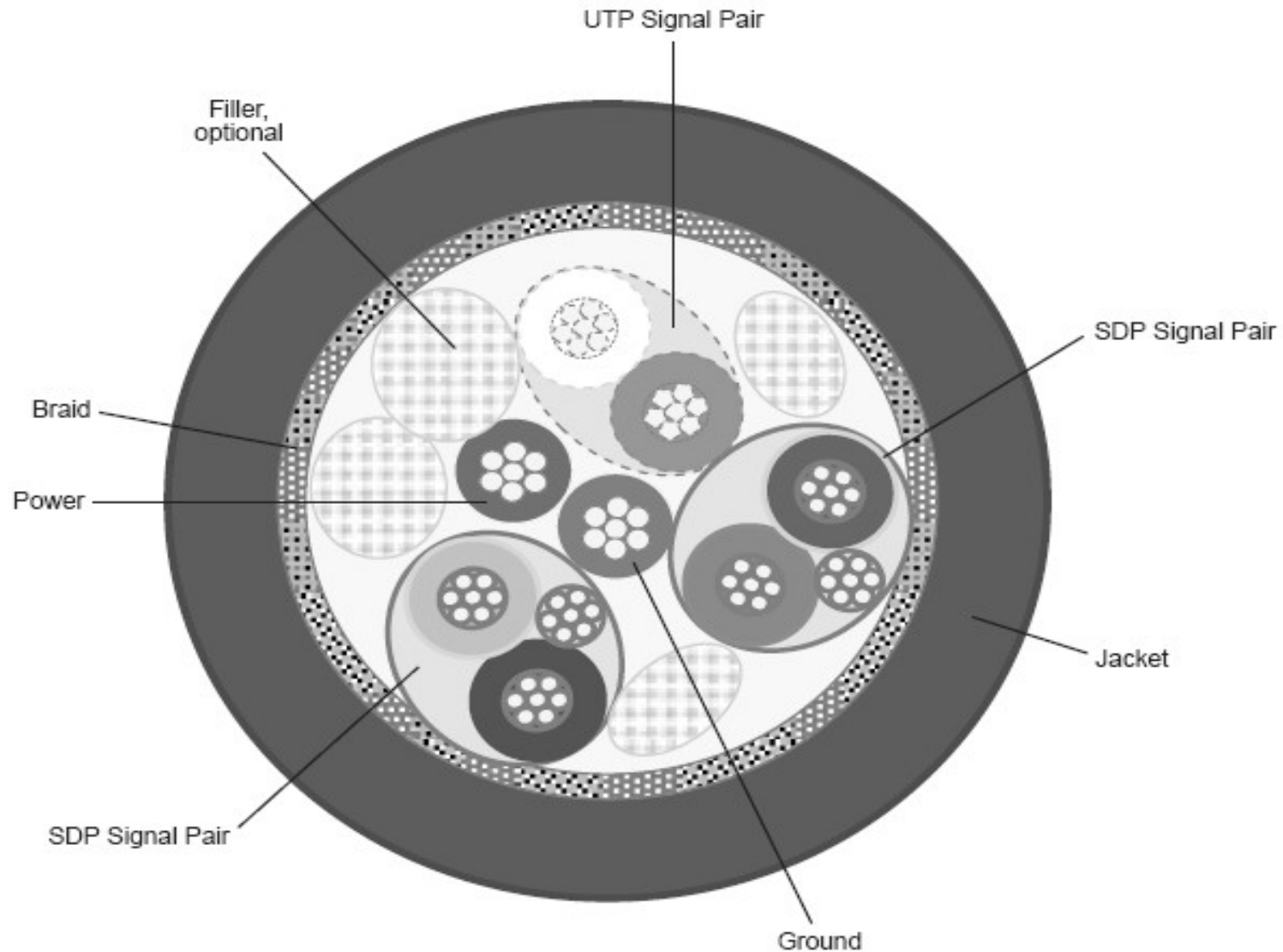
# SuperSpeed vs USB 2.0

---

SuperSpeed	USB 2.0
Dual-simplex, unicast protocol	Full-duplex, broadcast protocol
Uses asynchronous notification (NRDY, ERDY)	Uses polling mechanism
Supports streaming for bulk transfers	Does not support streaming
Supports continuous bursting	Does not support bursting
For OUT, token is integrated into data	OUT is three separate parts (Token, Data, and Handshake)
For IN, token is replaced by Handshake	IN is three separate parts (Token, Data, Handshake)
Splits error detection, recovery and flow control functionality between protocol layer and link layer	Protocol layer manages error detection, recovery, and flow control functionality

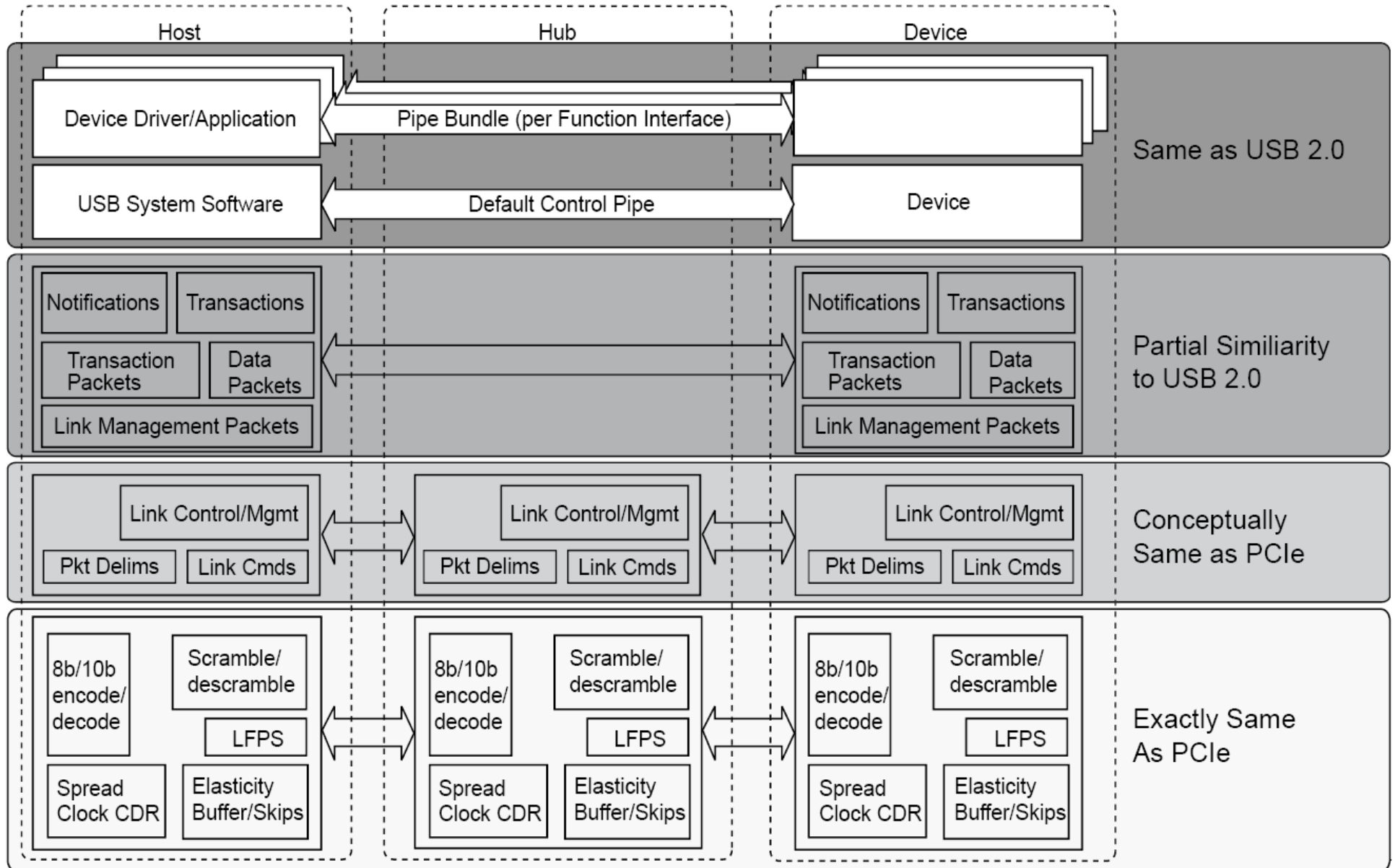
# Warstwa fizyczna USB 3.0

---

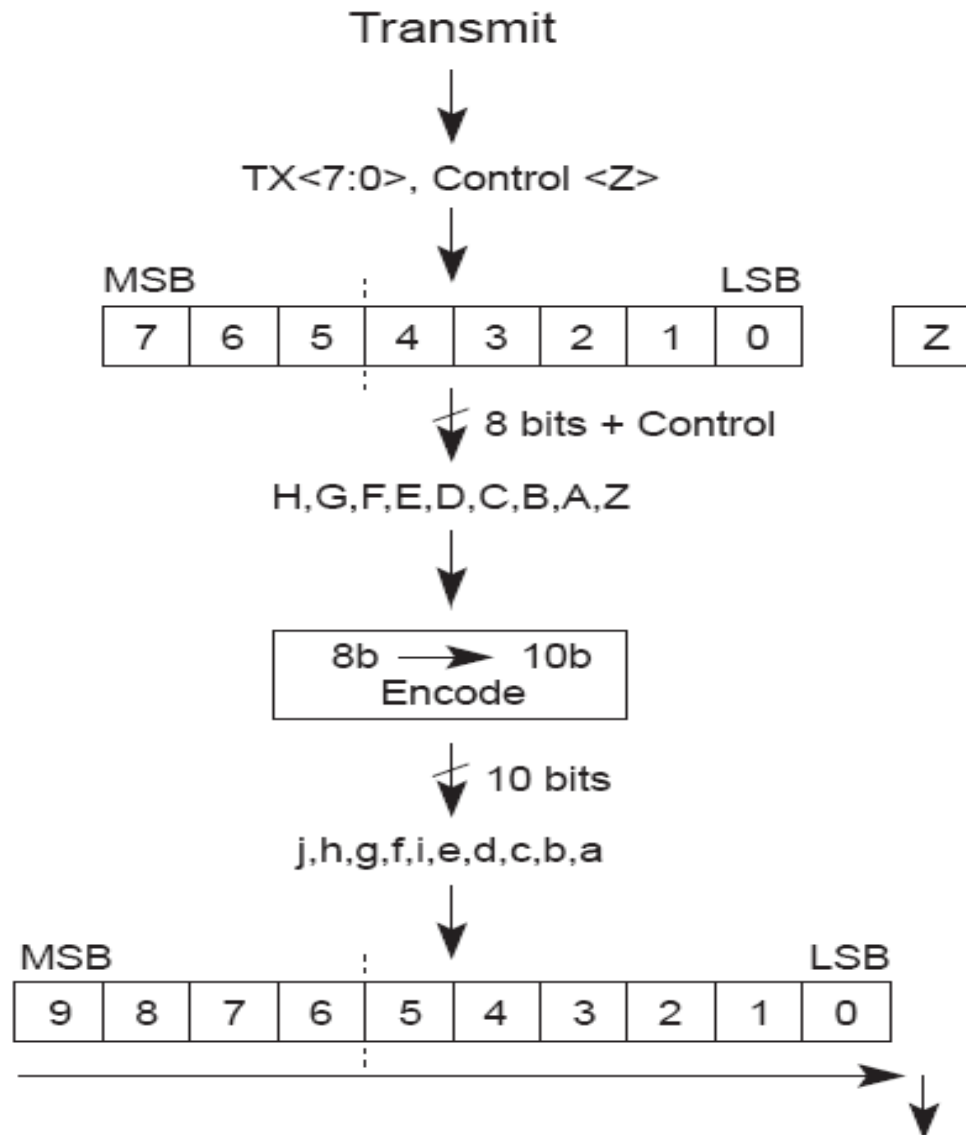




# Struktura warstwowa USB 3.0



# Kodowanie 8/10

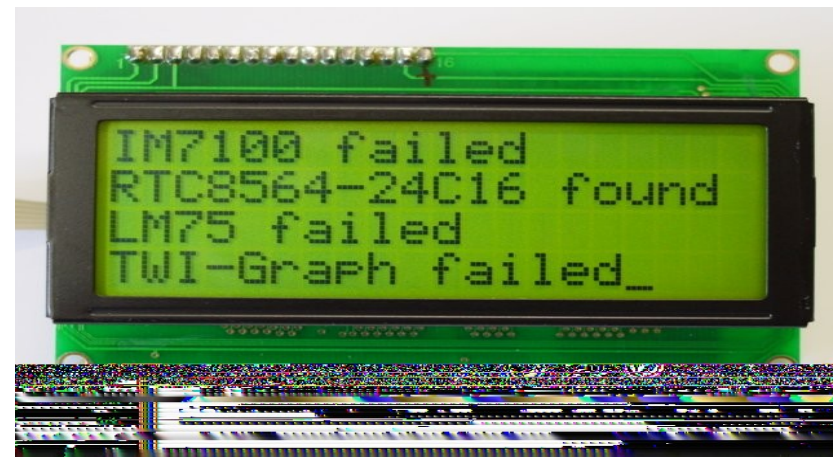
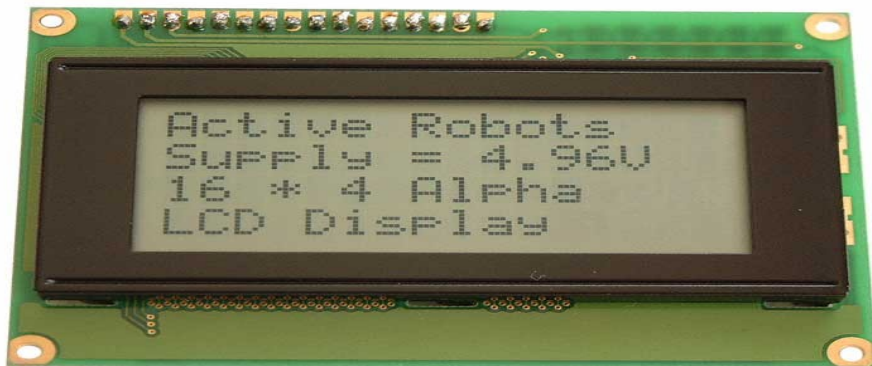




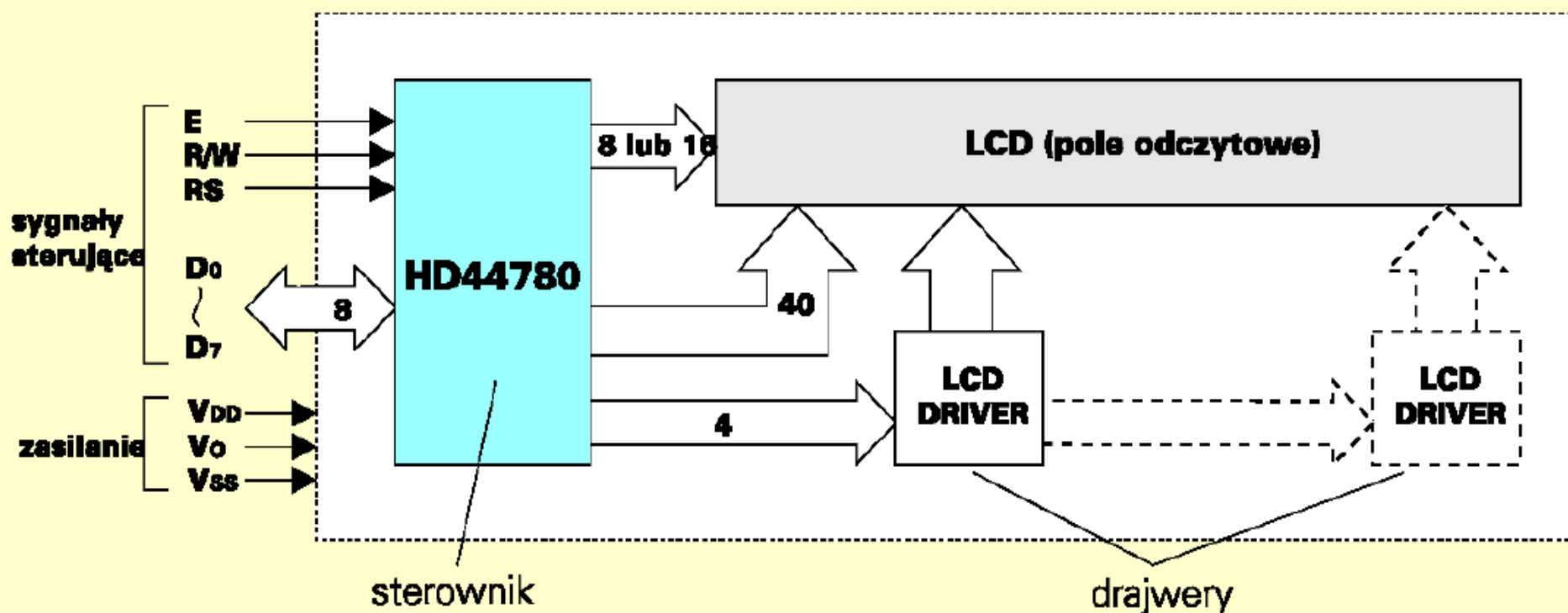
---

# **Urządzenia peryferyjne - wyświetlacz alfanumeryczny**

# Wyświetlacz alfanumeryczny LCD

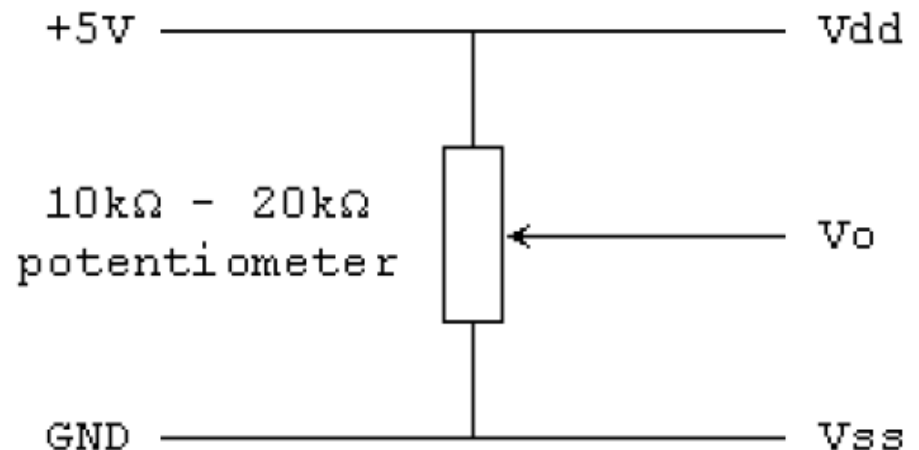


## MODUŁ WYŚWIETLACZA



\*\*\*\*\* HITACHI DOT MATRIX LCD MODULE \*\*\*\*\*  
 40x2 Characters

Pin	Symbol	Level	Function
===	=====	=====	=====
1	Vss	-	0v *** Reversing Vss and Vdd ***
2	Vdd	-	+5v *** will DESTROY the unit ***
3	Vo	-	*
4	RS	H/L	H: Data Input L: Instruction code input
5	R/W	H/L	H: Data Read (LCD module -> MPU) L: Data Write (LCD module <- MPU)
6	E	H, H->L	Enable Signal
7	DB0	H/L	D
8	DB1	H/L	A
9	DB2	H/L	T
10	DB3	H/L	A
11	DB4	H/L	
12	DB5	H/L	B
13	DB6	H/L	U
14	DB7	H/L	S



\*\*\*\*\* HITACHI DOT MATRIX LCD MODULE \*\*\*\*\*  
 40x2 Characters

RS	R/W	Enable	Operation
==	===	=====	=====
0	0	H,H->L	IR write as internal operation (Display clear, etc.)
0	1	H	Read busy flag (DB7) and address counter (DB0-DB6)
1	0	H,H->L	DR write as internal operation (DR to DD RAM or CG RAM)
1	1	H	DR read as internal operation (DD RAM or CG RAM to DR)

	1	2		39	40	← display position
1st line	00	01	- - - - -	26	27	← DD RAM address (Hex)
2nd line	40	41	- - - - -	66	67	← DD RAM address (Hex)

# Instrukcje sterownika HD44780

---

Instruction	Code									
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	==	===	===	===	===	===	===	===	===	===
Clear Display	0	0	0	0	0	0	0	0	0	1
Return Home	0	0	0	0	0	0	0	0	1	*
Entry Mode Set	0	0	0	0	0	0	0	1	I/D	S
Display ON/OFF	0	0	0	0	0	0	1	D	C	B
Cursor and Display Shift	0	0	0	0	0	1	S/C	R/L	*	*
Function Set	0	0	0	0	1	DL	N	F	*	*
Set CG RAM address	0	0	0	1	A	A	A	A	A	A
Set DD RAM address	0	0	1	A	A	A	A	A	A	A
Read busy flag and address	0	1	BF	A	A	A	A	A	A	A
Write data to CG or DD RAM	1	0	D	D	D	D	D	D	D	D
Read data from CG or DD RAM	1	1	D	D	D	D	D	D	D	D

I/D - increment/decrement, S - shift characters

D/C/B - turn on/off display/cursor/blinking

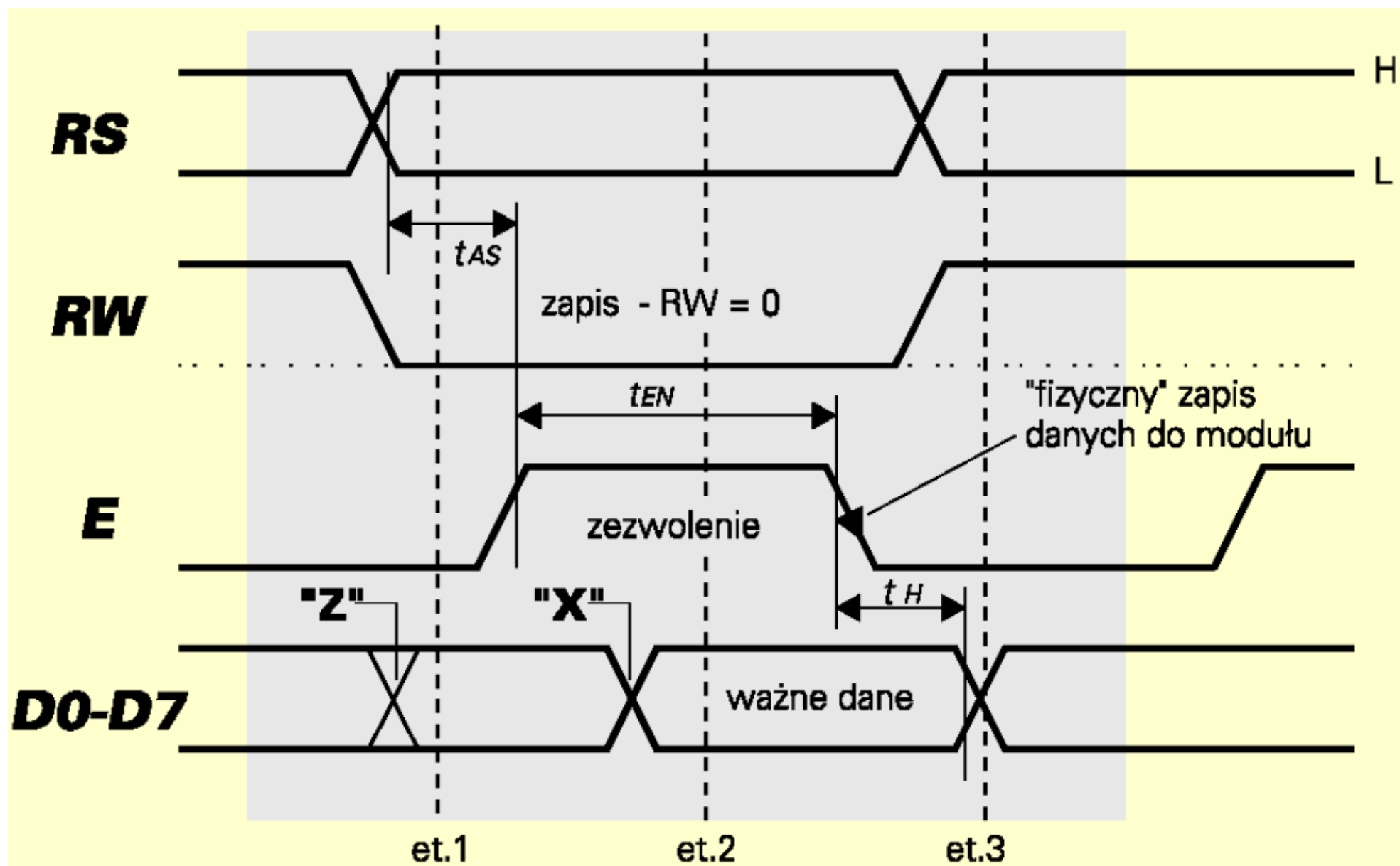
DL/N/F - interface data length/display lines/select font

# Tablica znaków

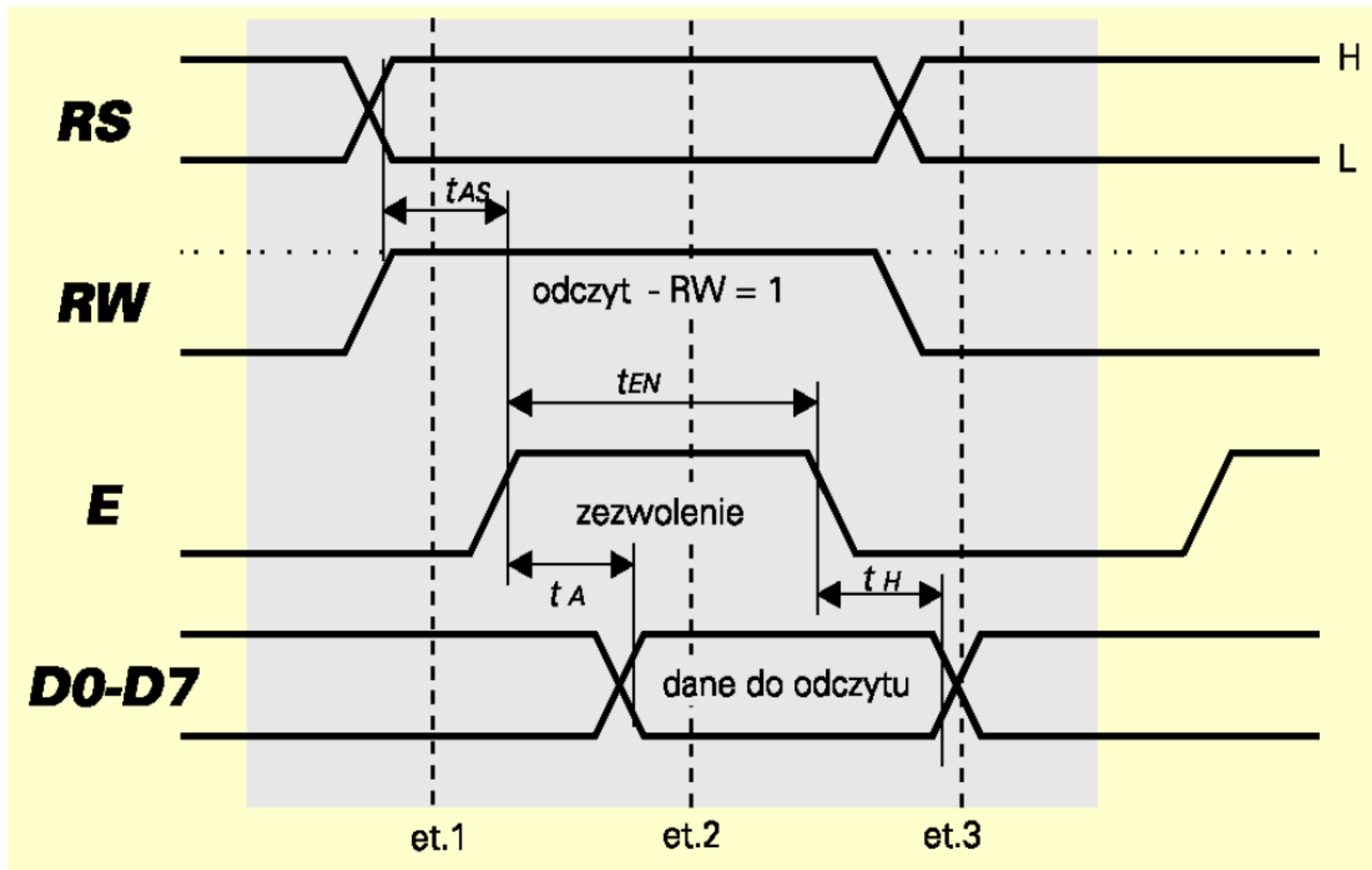
Char. code

	0	0	0	0	0	0	0	1	1	1	1	1	1
	0	0	0	1	1	1	1	0	0	1	1	1	1
	0	1	1	0	0	1	1	1	1	0	0	1	1
	0	0	1	0	1	0	1	0	1	0	1	0	1
xxxx0000			Ø	à	P	`	P		-	夕	三	α	ρ
xxxx0001		!	1	A	Q	a	q	。	ア	チ	△	ä	q
xxxx0010		"	2	B	R	b	r	「	イ	ツ	×	ß	θ
xxxx0011		#	3	C	S	c	s	」	ウ	テ	モ	ε	ω
xxxx0100		\$	4	D	T	d	t	、	エ	ト	ハ	μ	Ω
xxxx0101		%	5	E	U	e	u	・	オ	ナ	1	ε	ü
xxxx0110		&	6	F	V	f	v	ヲ	カ	ニ	ヨ	ρ	Σ
xxxx0111		'	7	G	W	g	w	フ	キ	ヌ	ラ	q	π
xxxx1000		(	8	H	X	h	x	イ	ク	ネ	リ	γ	Σ
xxxx1001		)	9	I	Y	i	y	ウ	ケ	ル	リ	U	
xxxx1010		*	:	J	Z	j	z	エ	コ	ハ	レ	i	千
xxxx1011		+	;	K	[	k	[	オ	サ	ヒ	ロ	*	万
xxxx1100		,	<	L	¥	l	l	ハ	シ	フ	フ	φ	円
xxxx1101		-	=	M	]	m	]	ユ	ヌ	ハ	ン	も	÷
xxxx1110		.	>	N	^	n	^	ヨ	セ	ホ	°	ん	
xxxx1111		/	?	O	_	o	_	ト	ツ	マ	°	ö	■

# Cykl zapisu danych do LCD

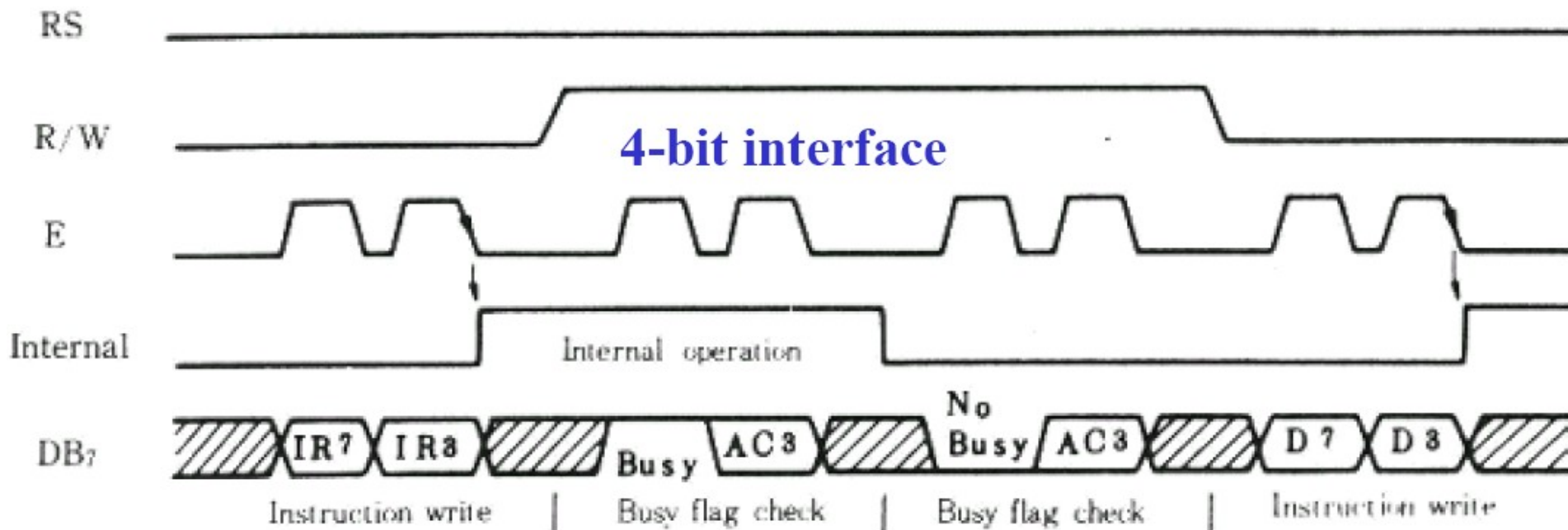
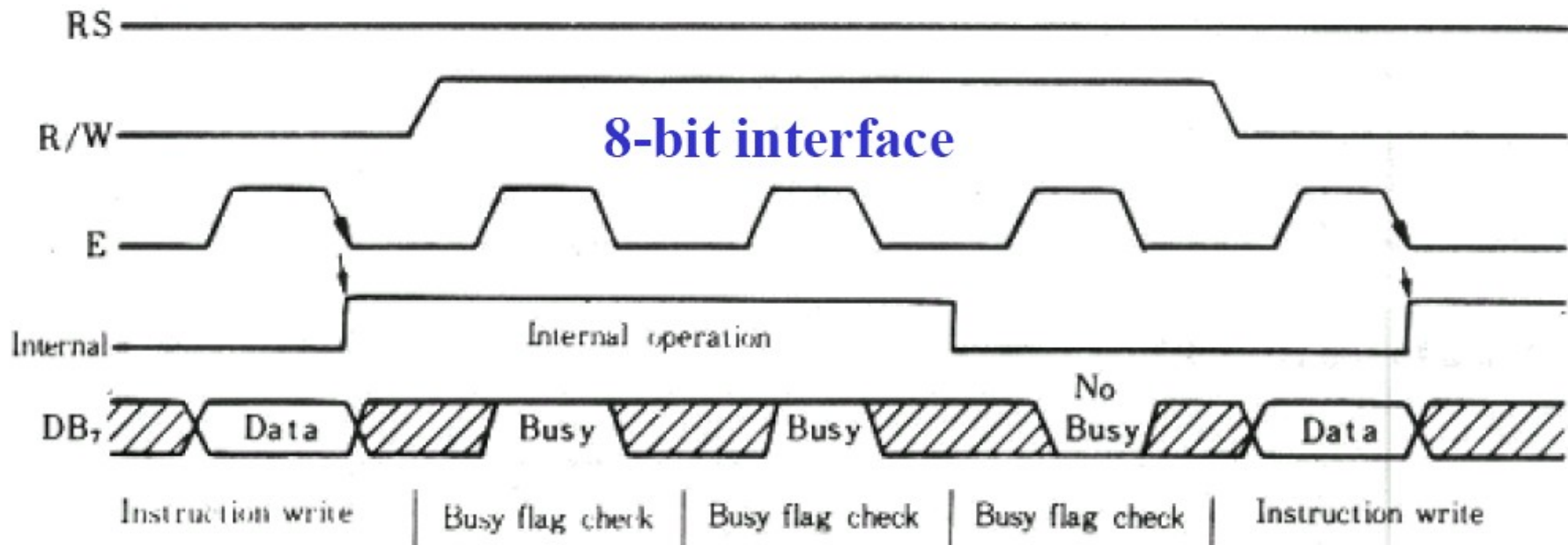


# Cykl odczytu danych z LCD

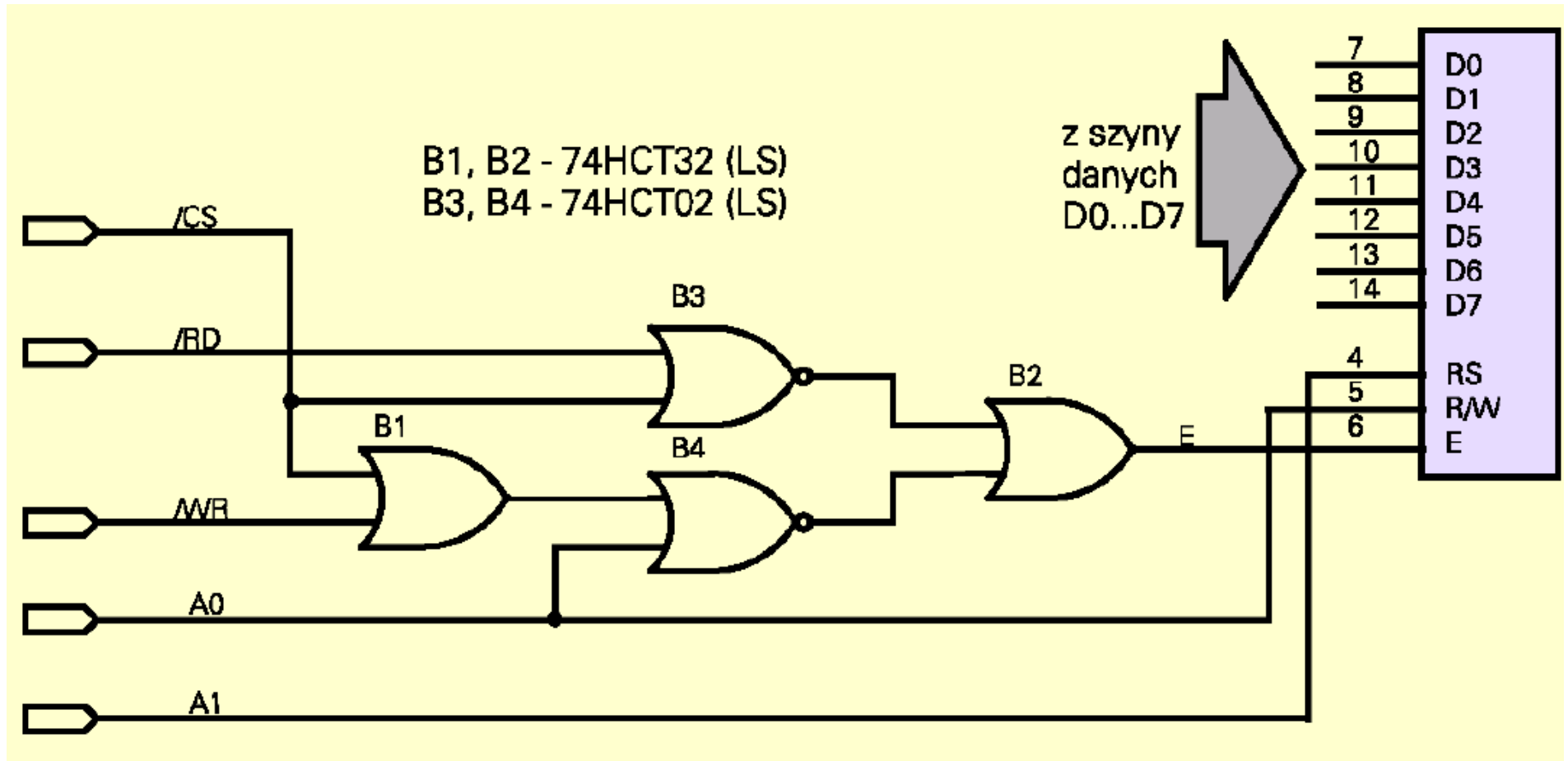




# Transmisja danych 4 <-> 8 bit



# Dołączenie wyświetlacza do mikroprocesora (1)



# Dołączenie wyświetlacza do mikroprocesora (2)

Interfacing a LCD module to AVR AT90S8515

Memory-mapped mode

- E signal generated from  $\overline{WR}$ ,  $\overline{RD}$  and A15
- R/W selection through A8

