

ColdFire® Embedded Controllers

MCF528x Family

Architektura mikroprocesorów z rdzeniem
ColdFire



Rodzina procesorów z rdzeniem ColdFire

Rdzeń ColdFire V1: uproszczona wersja rdzenia ColdFire V2. Tryby adresowania, rozkazy procesora oraz operacje MAC/EMAC/DIV zgodne z wersją V2. Ulepszona obsługa operandów 8- i 16-bitowych. Architektura zgodna z HCS08.

Rdzeń ColdFire 2/2M: 32-bitowa magistrala danych i adresowa. Funkcjonalność procesora zgodna z rodziną Freescale 683xx. Pełne wsparcie diagnostyki procesora poprzez kanał diagnostyczny BDM. Wprowadzenie dwuportowej pamięci podręcznej rozkazów.

Rdzeń ColdFire V3: Ulepszony moduł potokowy oraz predykcji skoków. Praca z większą częstotliwością zegara. Trzykrotny wzrost wydajności w stosunku do ColdFire 2/2M.

Rdzeń ColdFire V4: Niewielka liczba nowych instrukcji. Ulepszony moduł EMAC oraz 4-stopniowy potok. Większość instrukcji wykonuje się w jednym cyklu zegarowym. Wsparcie dla pamięci podręcznej programu i danych. Prawie trzykrotny wzrost wydajności w stosunku do ColdFire V3, jednostka zarządzająca pamięcią MMU.

Rdzeń ColdFire V4e: Architektura przewidziana do pracy wieloprocessorowej. Obsługa pamięci wirtualnej, jednostka zmiennoprzecinkowa, ulepszona jednostka EMAC. Większe pamięci podręczne oraz ulepszony algorytm przewidywania skoków.

Rdzeń ColdFire V5: W pełni superskalarna architektura. Dwukrotny wzrost wydajności w stosunku do ColdFire V4e.

Systemy operacyjne czasu rzeczywistego na procesory Freescale

Real-Time Operating Systems (RTOSes)

Accelerated Technology/Mentor Graphics	www.acceleratedtechnology.com
eCosCentric	www.ecoscentric.com
ExpressLogic	www.rtos.com
Green Hills Software, Inc.	www.ghs.com
InterNiche Technologies	www.iniche.com
Linux	www.linux.com
MicroDigital	www.smx-rtos.com
MQX Embedded	www.mqxembedded.com
NetBurner	www.netburner.com
Quadros Systems, Inc.	www.quadros.com
Wind River Systems Inc.	www.windriver.com
μClinux	www.uclinux.org

RTEMS - Real-Time Executive for Multiprocessor
Systems

<http://www.rtems.com>

Miara wydajności procesora

MIPS – (Million Instructions Per Second) - miara wydajności jednostki centralnej CPU komputera.

MIPS określa liczbę milionów operacji stałoprzecinkowych wykonywanych w ciągu sekundy, przez daną jednostkę obliczeniową. Jednostka ta jest powszechnie używana w dwóch formach Milion Instrukcji na Sekundę (MIPS) lub Milion Operacji na Sekundę (MOPS).

Dhrystone (wersja 1.1, 2.1) – benchmark wykonujący ogólny zestaw instrukcji opracowany w 1984 roku przez Reinholda Weickera. Wynik w dhrystone na sekundę oznacza liczbę wykonań programu w ciągu jednej sekundy.

Whetstone – umożliwia określenie wydajności procesora wyposażonego w jednostkę zmiennoprzecinkową.

CPU	MHz	Dhry1	Dhry1	Dhry2	Dhry2
		Opt	NoOpt	Opt	NoOpt
		VAX	VAX	VAX	VAX
		MIPS	MIPS	MIPS	MIPS
AMD 80386	40	17.5	4.32	13.7	4.53
IBM 486D2	50	26.6	7.89	22.4	7.89
80486 DX2	66	45.1	12.0	35.3	12.4
IBM 486BL	100	53.9	12.0	40.9	11.8
AMD 5X86	133	84.5	9.37	84.5	9.42
Pentium	75	112	19.3	87.1	18.9
Cyrix P150	120	175	27.9	160	28.3
Pentium	100	169	31.8	122	32.2
Cyrix PP166	133	219	38.4	180	39.8
IBM 6x86	150	234	44.1	188	43.9
Pentium	133	239	38.3	181	39.0
Pentium	166	270	43.6	189	43.9
Cyrix PR233	188	286	46.4	232	45.8
Pentium	200	353	47.4	269	48.1
Pentium MMX	200	352	51.4	276	51.0
AMD K6	200	349	43.1	289	43.3
Pentium Pro	200	373	92.4	312	91.9
Celeron A	300	553	133	484	136
Pentium II	300	544	132	477	136
AMD K62	500	778	77.8	606	76.8
AMD K63	450	804	76.3	645	77.4
Pentium II	450	813	199	713	204
Celeron A	450	828	198	720	202
Pentium III	450	846	197	722	203
Pentium III	600	1105	263	959	270
Athlon	600	1316	321	942	316
Duron	600	1382	350	999	349
Pentium III	1000	1858	461	1595	465
PIII Tualatin	1200	2205	546	1907	571
Pentium 4	1700	2262	239	1843	242
Athlon Tbird	1000	2282	634	1659	602
Duron	1000	2288	576	1674	587
Celeron M	1295	2440	640	2273	645
Pentium 4	1900	2593	261	2003	269

Wydajność procesorów z rdzeniem ColdFire

Dhry 2.1
MIPS
800

Superpiped

.8 μ

.35 μ

.25 μ

.18 μ

.13 μ

615-800
MHz

700

Family of M68000-family compatible cores
100% Synthesizable: the defacto SoC standard

Superscalar

300-366 MHz

600

Excellent price/performance

V5 [5.2 mm²]

500

Configurable: Options for cost & performance

EMAC

MMU

FPU

280MHz

400

Application-specific SoC devices

7.3mm²

V4e

300

Award-winning standard products

225MHz

[3.5mm²]

200

EMAC

V4

175 MHz

[6mm²]

Harvard

100

33 MHz

V2 [15mm²]

MAC

DIV

90 MHz

[6mm²]

EMAC

150MHz

[4mm²]

100MHz

[2mm²]

.10 μ

1995

1996

1997

1998

1999

2000

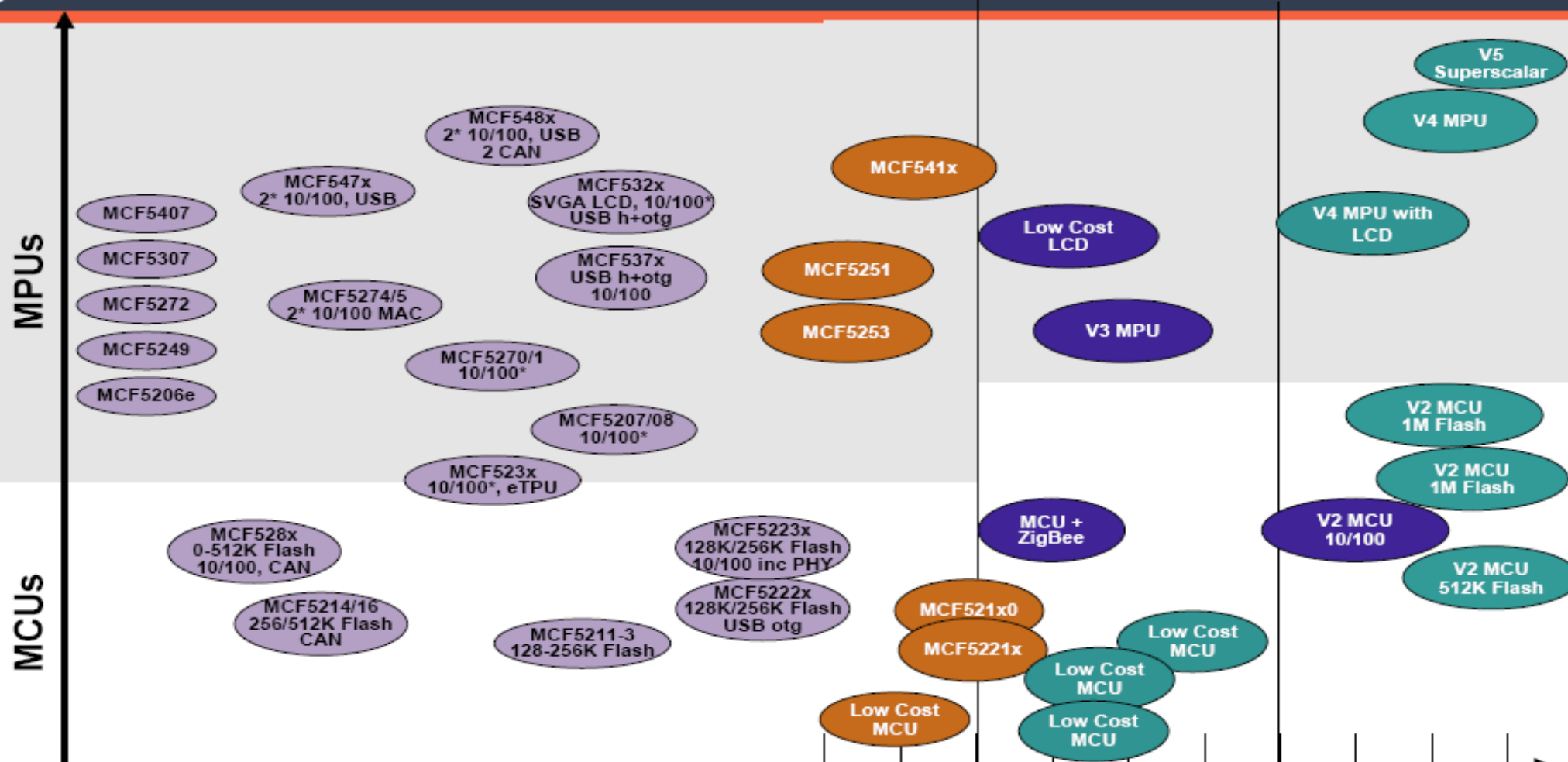
2001

2002

2003

Rodzina procesorów z rdzeniem ColdFire

68K/ColdFire Products Roadmap



* = Optional

Production - Available NOW
Execution - Specification Frozen, High Confidence Schedule
Planning - Specification Subject to Change, Tentative Schedule
Proposal - Project Subject to Change, Open to Market Feedback

2006

2007

2008

Updated: 26 Apr 06



Freescale and the Freescale logo are trademarks of Freescale Semiconductor, Inc. All other product or service names are the property of their respective owners. © Freescale Semiconductor, Inc. 2005.

Rodzina procesorów z rdzeniem ColdFire

V5 Core Family

610 MIPS @ 333MHz
Superscalar EMAC
MMU

MCF5407

V4 ColdFire Core
316 Dhrystone 2.1 MIPS @ 220MHz
1 UART, 1 USART, 1 I²C,
16K I-Cache, 8K D-Cache

MCF5307

V3 ColdFire Core
75 Dhrystone 2.1 MIPS @ 90MHz
4KB SRAM, 1 I²C, 2xUART
8KB Unified Cache, 4-ch DMA

MCF5282/MCF5280

V2 ColdFire Core
59 Dhrystone 2.1 MIPS @ 66MHz
eMAC, 10/100 Ethernet Controller,
CAN, 512KB/ 0KB Flash

MCF5249

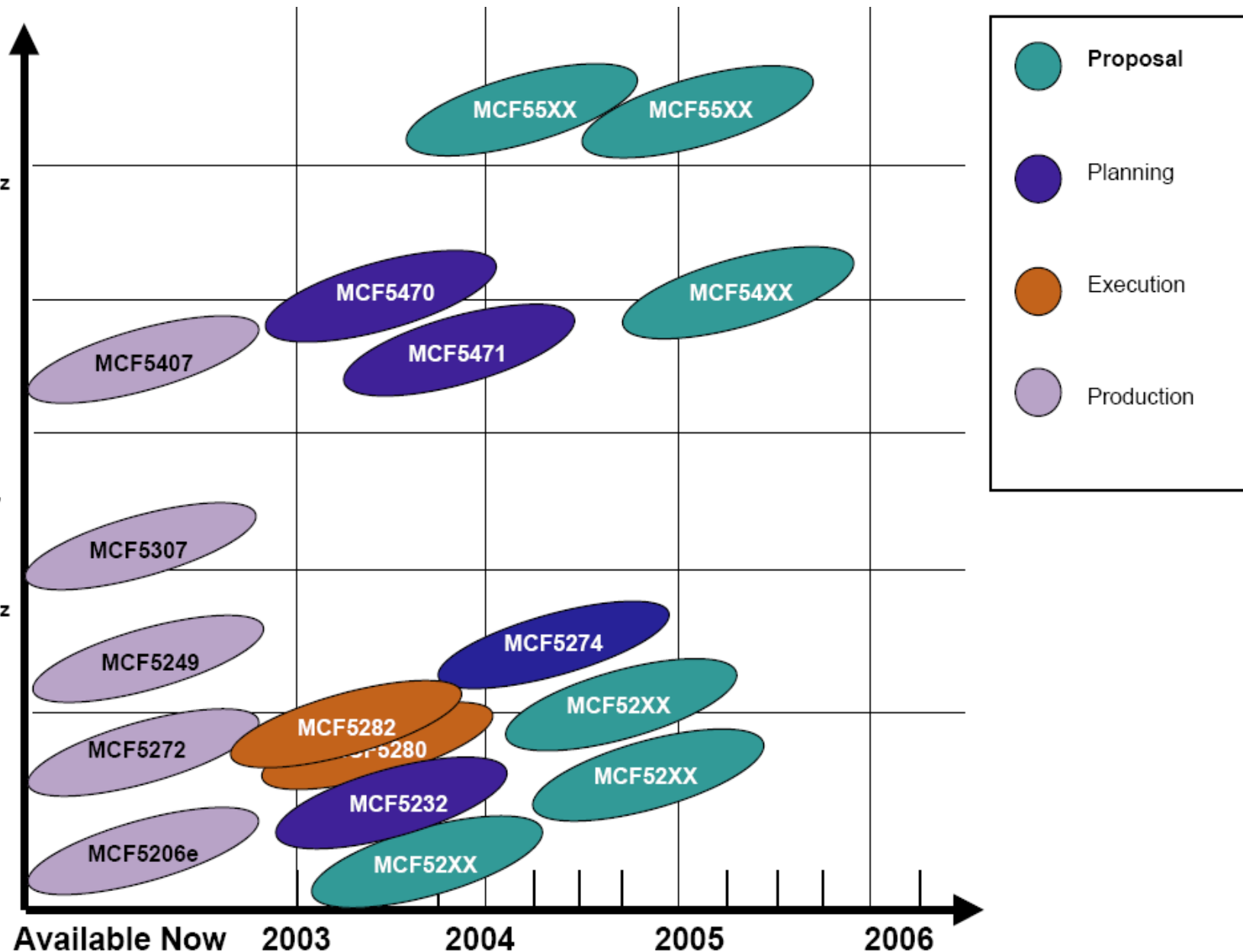
V2 ColdFire Core
125 Dhrystone 2.1 MIPS @ 140MHz
96KB SRAM, eMAC, 2 UART,
2 I²C, 1 QSPI

MCF5272

V2 ColdFire Core
63 Dhrystone 2.1 MIPS @ 66MHz
10/100 Ethernet Controller
2 UART, 1 USB 1.1, 1 FEC, 1 QSPI

MCF5206e

V2 ColdFire Core
50 Dhrystone 2.1 MIPS @ 54MHz
MAC, 2-ch DMA, 2 UART, 1 I²C

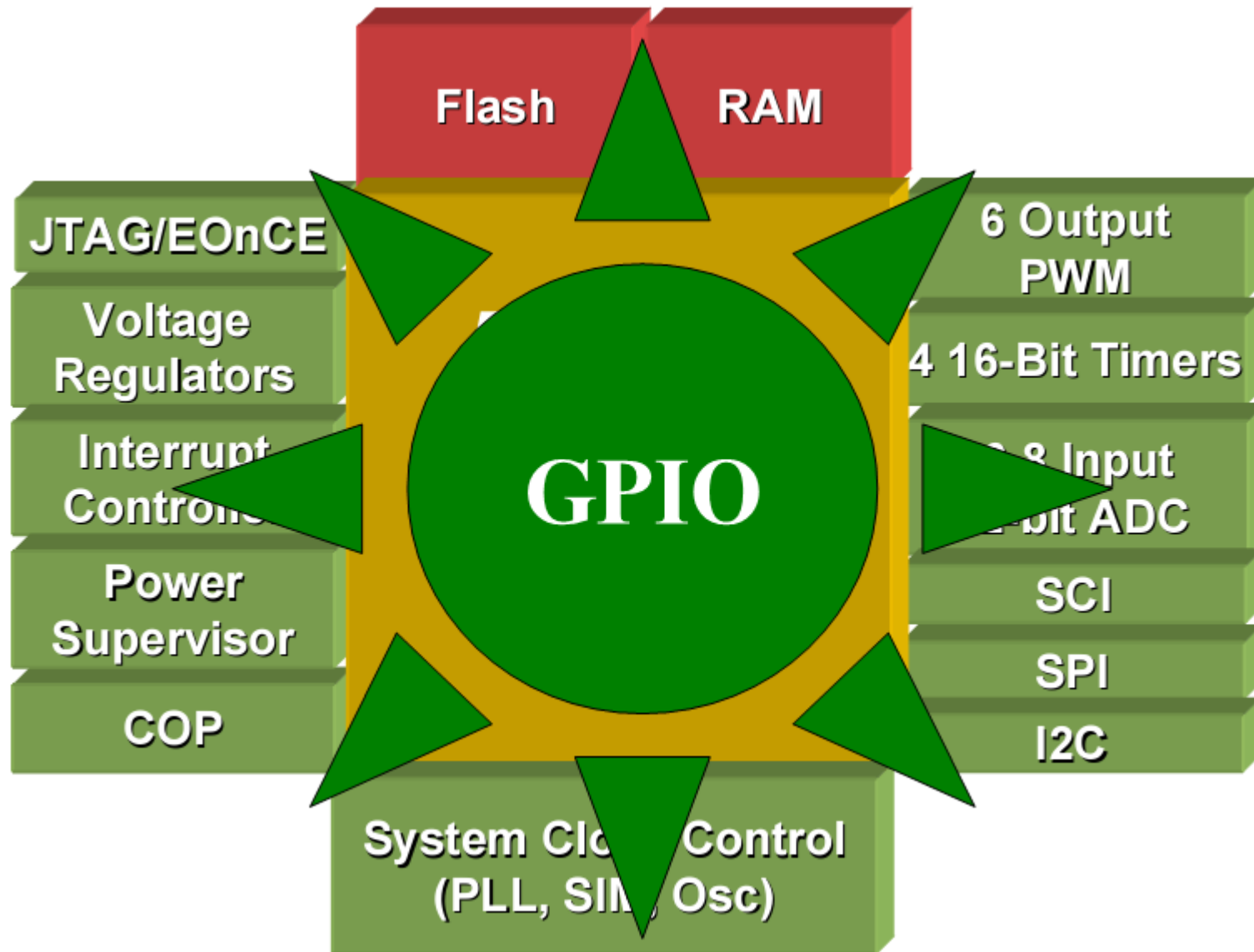


Rodzina procesorów z rdzeniem ColdFire

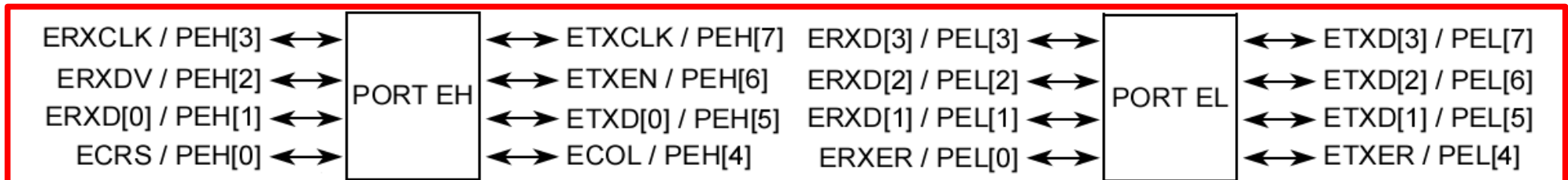
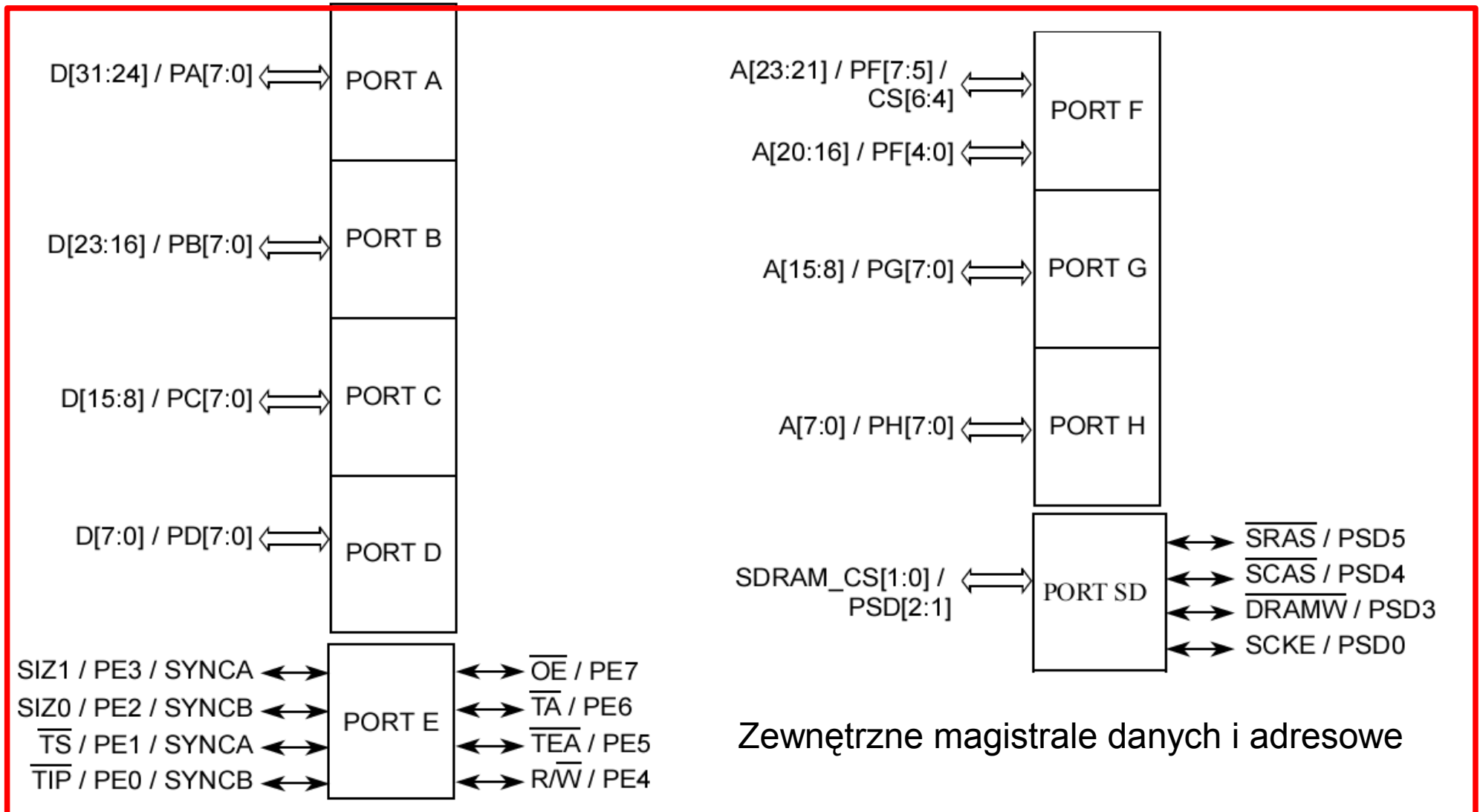
Device	Dhrys. 2.1 MIPS@ Max. MHz	Cache/ SRAM/ Flash(bytes)	Connectivity Peripherals	Timers/ CS/ GPIO	DRAM Controller	Other Features	Operating Voltage	Operating Frequency (MHz)	10K Res. Starting Range
5206e	50	4K I, 8K, -	2 UARTs, 1 I ² C	2/8/8	FPM, EDO	2-CH DMA	3.3V	40, 54	\$6.99
5249	125	8K I, 96K, -	2 UARTs, 2 I ² C, 4 I ² S, 1 QSPI	2/4/ Up To 47	SDR SDRAM	A/D, 4-CH DMA, EMAC, IDE, flash media int	1.8V, 3.3V	120, 140	\$9.79 \$9.30
5272	63	1K I, 4K, -	2 UARTs, 1 USB, 1 FEC, 1 QSPI	4/8/ Up To 32	SDR SDRAM	TDM port, 2-CH DMA	3.3V	66	\$9.95
5280 5281 5282	76	2K I/D, 64K, Up to 512K	3 UARTs, 1 I ² C, 1 QSPI, 1 FEC, 1 CAN	8 +4 DMA / 7/ Up to 150	SDR SDRAM	A/D, 4-CH DMA, EMAC	3.3V	66, 80	\$15.11 \$16.55 \$17.99
5307	75	8K U, 4K, -	2 UARTs, 1 I ² C	2/8/16	SDR SDRAM, FPM, EDO	4-CH DMA	3.3V	66, 90	\$11.35
5407	316	16K I, 8K D, 4K, -	1 UART, 1 USART, 1 I ² C	2/8/16	SDR SDRAM, FPM, EDO	4-CH DMA	1.8V, 3.3V	162, 220	\$18.95
5470 5471 5472 5373 5474 5475	410	32K I/D, 32K, -	Up to 4 PSC, Up to 2 FEC, 1 I ² C, 1 PCI, 1 DSPI, Optional USB 2.0 High Speed	6/6/ up to 99	DDR/SDR SDRAM	FPU, MMU, EMAC, Optional Encryption, 16-CH DMA	1.5V, 3.3V, (2.5V DDR)	200, 266	\$17 \$20 \$17 \$20 \$20 \$23
5480 5481 5482 5483 5484 5485	308	32K I/D, 32K, -	4 PSC, Up to 2 FEC, 2 CAN, 1 I ² C, 1 PCI, 1 DSPI, Optional USB 2.0 High Speed	6/6/ up to 99	DDR/SDR SDRAM	FPU, MMU, EMAC, Optional Encryption, 16-CH DMA	1.5V, 3.3V, (2.5V DDR)	166, 200	\$20 \$23 \$20 \$23 \$24 \$27

Moduł portów wejścia-wyjścia
(General Purpose I/O module)

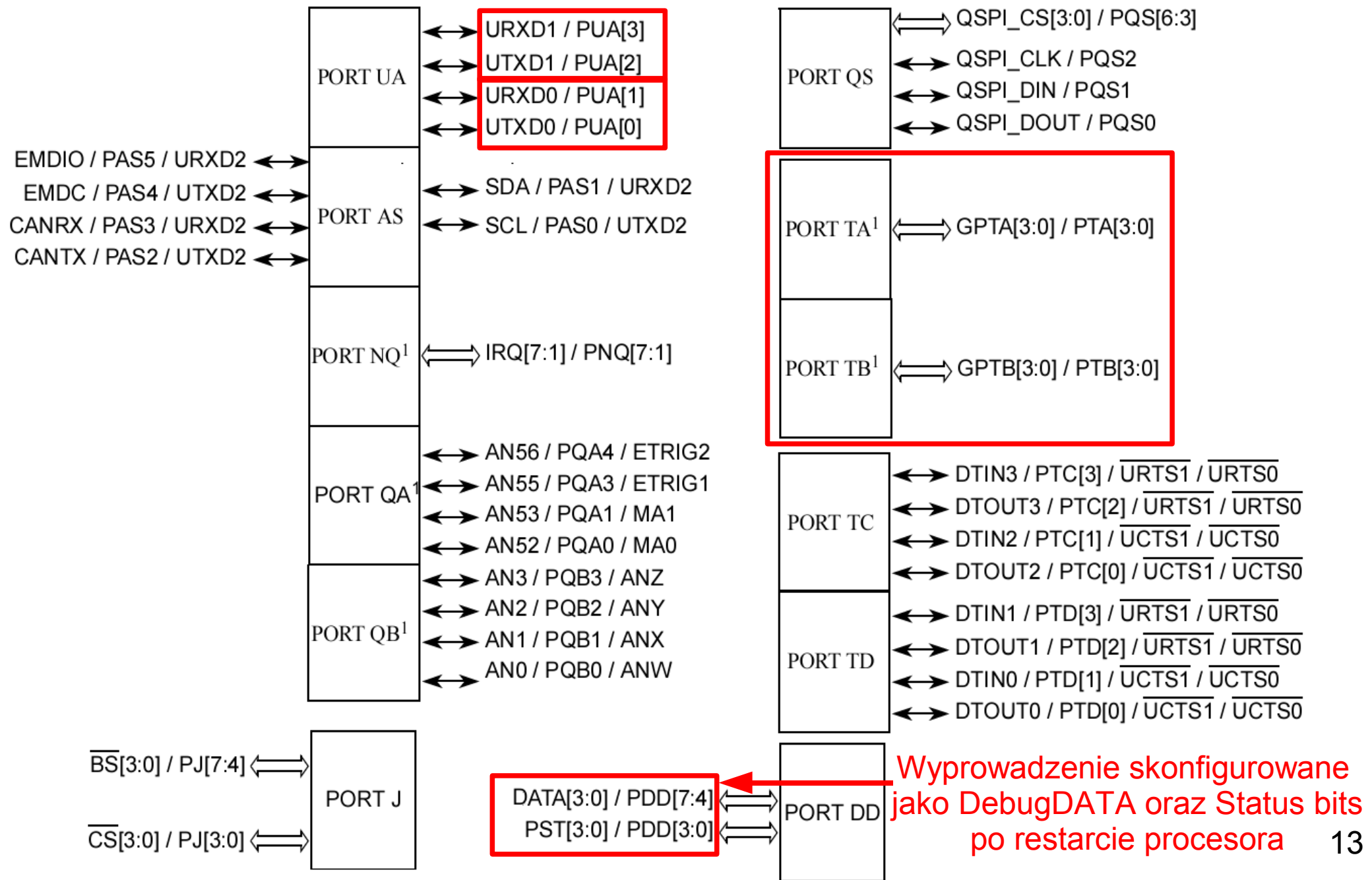
Moduł portów I/O (1)



Moduł portów I/O (2)



Moduł portów I/O (3)



Rejestry sterujące portów I/O

PnPAR - rejestr kontrolujący przeznaczenie portu

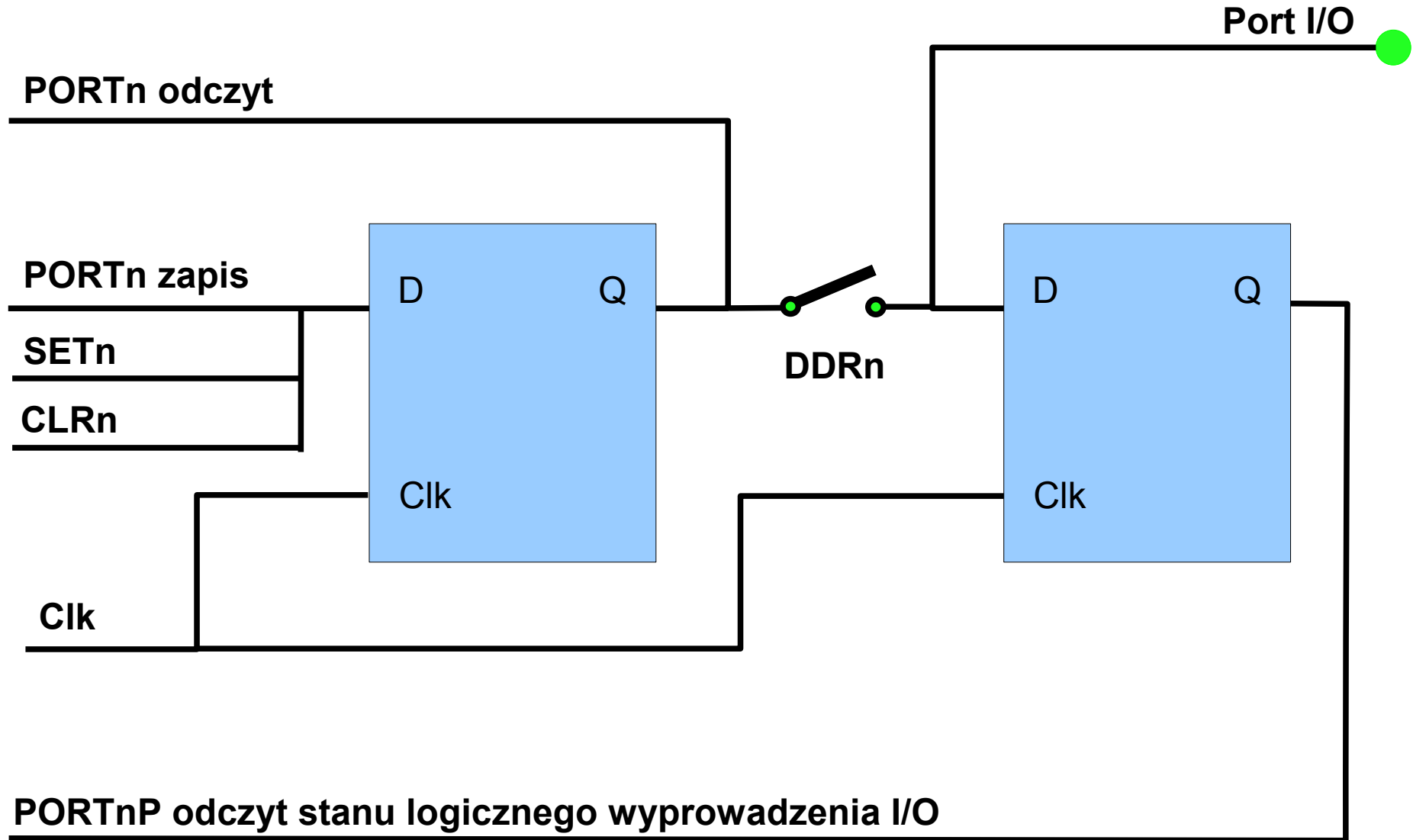
DDRn - Rejestr kontrolujący kierunek sygnałów portu I/O

PORTn - rejestr kontrolujący stan wyprowadzeń wyjściowych

PORTnP - rejestr odwzorowujący stan wyprowadzenia I/O

SETn/CLRn - Rejestr służący do ustawiania/zerowania przerzutnika wyjściowego

Schemat blokowy portu I/O



Przykładowe rejestry sterujące modułu I/O

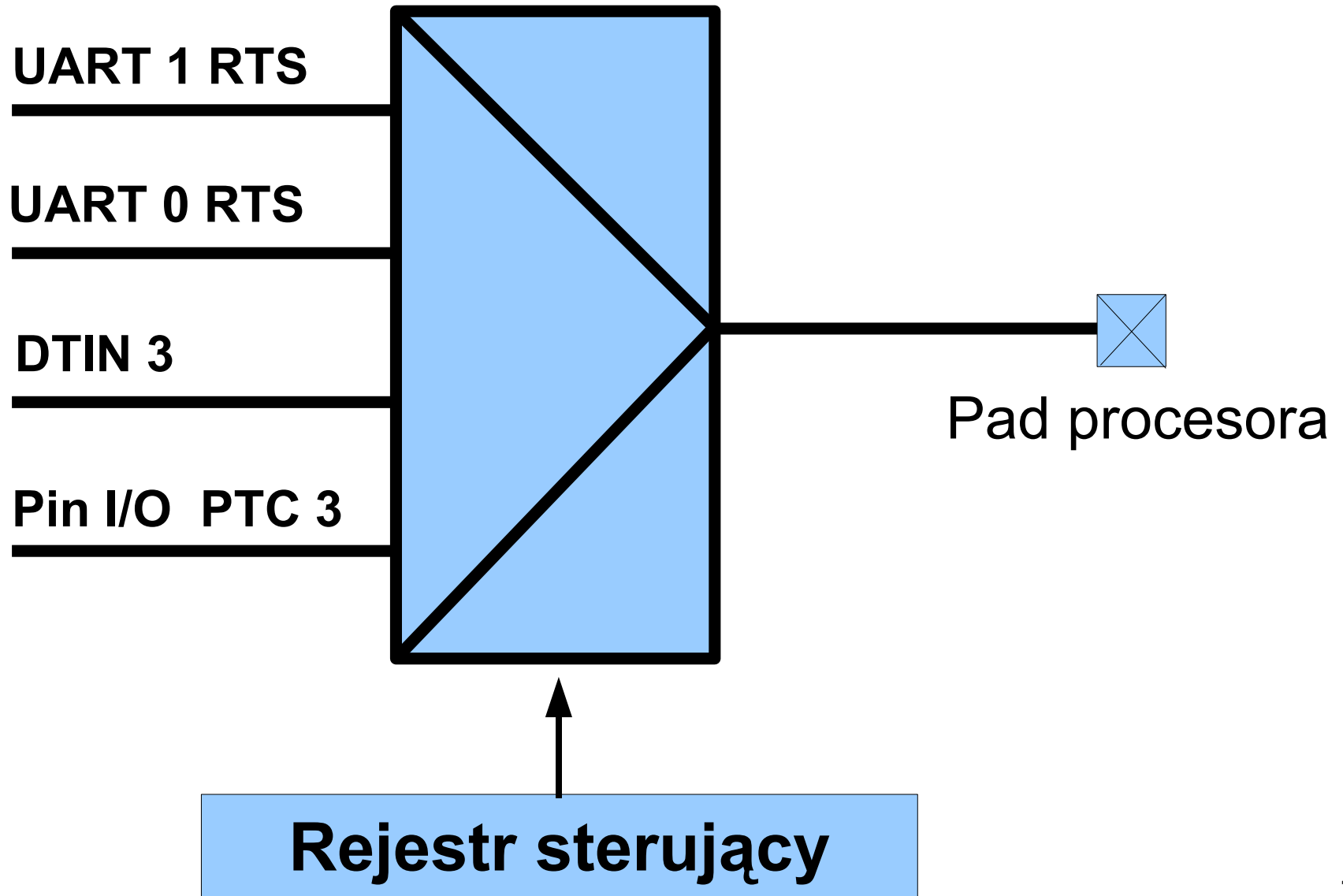
	7	6	5	4	3	2	1	0
Field	PORTn7	PORTn6	PORTn5	PORTn4	PORTn3	PORTn2	PORTn1	PORTn0
Reset	1111_1111							
R/W:	R/W							
Address	IPSBAR + 0x10_0000 (PORTA), 0x10_0001 (PORTB), 0x10_0002 (PORTC), 0x10_0003 (PORTD), 0x10_0004 (PORTE), 0x10_0005 (PORTF), 0x10_0006 (PORTG), 0x10_0007 (PORTH), 0x10_0008 (PORTJ), 0x10_0009 (PORTDD), 0x10_000A (PORTEH), 0x10_000B (PORTEL)							

Figure 26-2. Port Output Data Registers (8-bit)

	7	4	3	2	1	0
Field	—		PORTn3	PORTn2	PORTn1	PORTn0
Reset	0000_1111					
R/W:	R			R/W		
Address	IPSBAR + 0x10_000F (PORTTC), 0x10_0010 (PORTTD), 0x10_0011 (PORTUA)					

Figure 26-5. Port Output Data Registers (4-bit)

Funkcje portów procesora (1)



Funkcje portów procesora (2)

Primary Function (Pin Name) ¹	GPIO (Default Function)	Alternate Function 1	Alternate Function 2	Description
ERXER	PEL[0]	—	—	Ethernet receive error / Port EL[0]
EMDIO	PAS[5]	URXD2	—	Ethernet management data control / Port AS[5] / URXD2
EMDC	PAS[4]	UTXD2	—	Ethernet management data clock / Port AS[4] / UTXD2
CANRX	PAS[3]	URXD2	—	FlexCAN receive data / Port AS[3] / URXD2
CANTX	PAS[2]	UTXD2	—	FlexCAN transmit data / Port AS[2] / UTXD2
SDA	PAS[1]	URXD2	—	I ² C serial data / Port AS[1] / URXD2
SCL	PAS[0]	UTXD2	—	I ² C serial clock / Port AS[0] / UTXD2
IRQ[7:1] ³	PNQ[7:1]	—	—	Edge Port external interrupt pins / Port NQ[7:1]
GPTA[3:0] ²	PTA[3:0]	—	—	General purpose timer A input/output / Port TA[3:0]
GPTB[3:0] ²	PTB[3:0]	—	—	General purpose timer B input/output / Port TB[3:0]
DTIN3	PTC[3]	$\overline{\text{URTS1}}$	$\overline{\text{URTS0}}$	DMA timer 3 input / Port TC[3] / UART1 request to send / UART0 request to send
DTOUT3	PTC[2]	$\overline{\text{URTS1}}$	$\overline{\text{URTS0}}$	DMA timer 3 output / Port TC[2] / UART1 request to send / UART0 request to send
DTIN2	PTC[1]	$\overline{\text{UCTS1}}$	$\overline{\text{UCTS0}}$	DMA timer 2 input / Port TC[1] / UART1 clear to send / UART0 clear to send
DTOUT2	PTC[0]	$\overline{\text{UCTS1}}$	$\overline{\text{UCTS0}}$	DMA timer 2 output / Port TC[0] / UART1 clear to send / UART0 clear to send

Funkcje portów TC/TD

26.3.2.13 Port TC Pin Assignment Register (PTCPAR)

The PTCPAR controls the pin function of port TC.

	7	6	5	4	3	2	1	0
Field	PTCPA3		PTCPA2		PTCPA1		PTCPA0	
Reset	0000_0000							
R/W:	R/W							
Address	IPSBAR + 0x10_005A							

Figure 26-26. Port TC Pin Assignment Register (PTCPAR)

Table 26-17. PTCPAR Field Descriptions

Bits	Name	Description
7-6	PTCPA3	Port TC pin assignment 3. This field configures the port TC3 pin for its primary function (DTIN3), alternate 1 function ($\overline{\text{URTS1}}$), alternate 2 function ($\overline{\text{URTS0}}$) or digital I/O. 00 Port TC3 pin configured for digital I/O 01 Port TC3 pin configured for alternate 2 function ($\overline{\text{URTS0}}$) 10 Port TC3 pin configured for alternate 1 function ($\overline{\text{URTS1}}$) 11 Port TC3 pin configured for primary function (DTIN3)
5-4	PTCPA2	Port TC pin assignment 2. This field configures the port TC2 pin for its primary function (DTOUT3), alternate 1 function ($\overline{\text{URTS1}}$), alternate 2 function ($\overline{\text{URTS0}}$) or digital I/O. 00 Port TC2 pin configured for digital I/O 01 Port TC2 pin configured for alternate 2 function ($\overline{\text{URTS0}}$) 10 Port TC2 pin configured for alternate 1 function ($\overline{\text{URTS1}}$) 11 Port TC2 pin configured for primary function (DTOUT3)

Rejestry danych i kierunku transmisji

	7	4	3	2	1	0
Field	—		PORT n 3	PORT n 2	PORT n 1	PORT n 0
Reset	0000_1111					
R/W:	R			R/W		
Address	IPSBAR + 0x10_000F (PORTTC), 0x10_0010 (PORTTD), 0x10_0011 (PORTUA)					

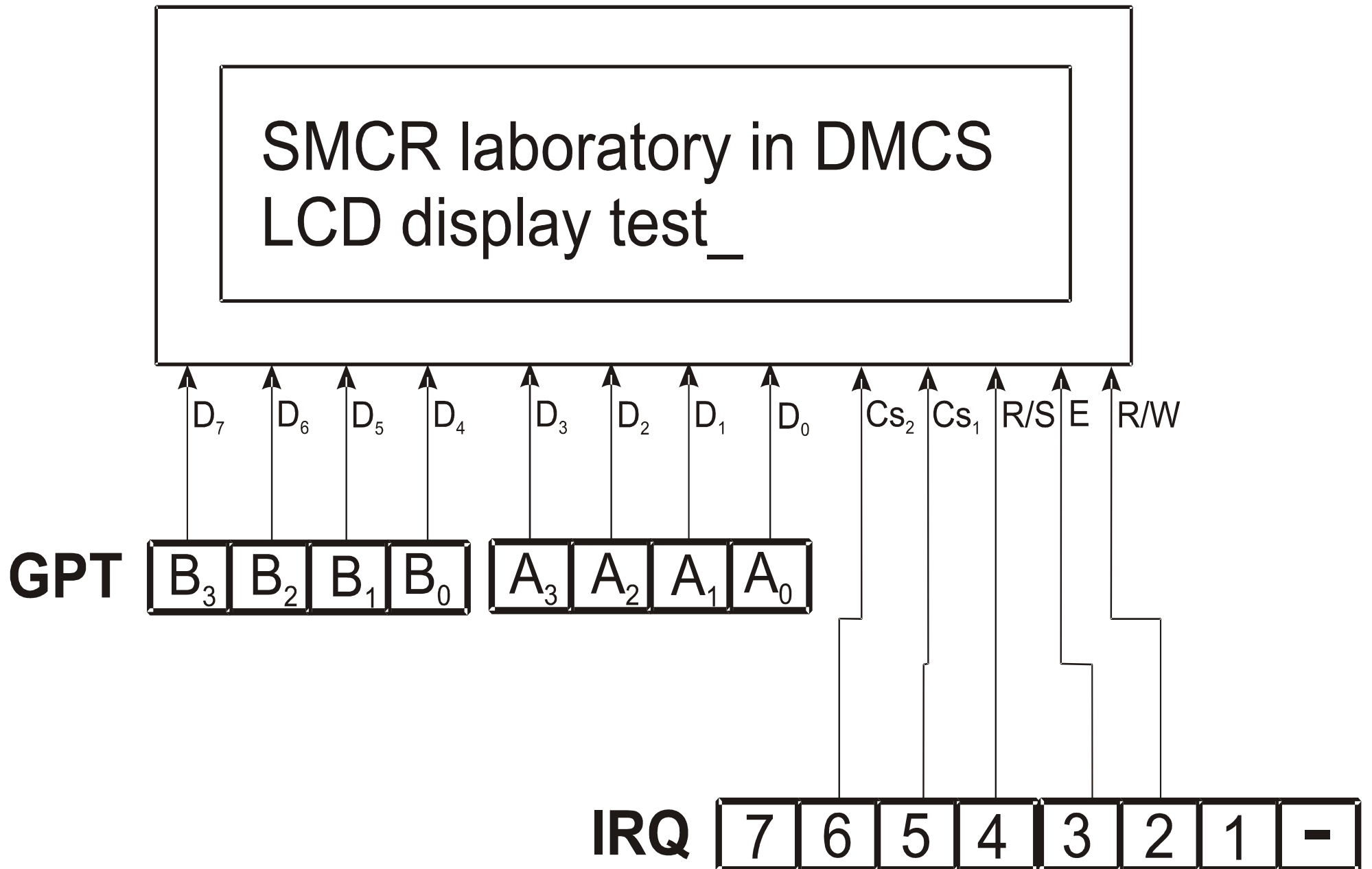
Figure 26-5. Port Output Data Registers (4-bit)

	7	4	3	2	1	0
Field	—		DDR n 3	DDR n 2	DDR n 1	DDR n 0
Reset	0000_0000					
R/W:	R			R/W		
Address	IPSBAR + 0x10_0023 (DDRTC), 0x10_0024 (DDRTD), 0x10_0025 (DDRUA)					

Figure 26-9. Port Data Direction Registers (4-bit)

Porty timera GPT

Podłączenie wyświetlacza LED/LCD



General Purpose Timer A/B

20.2 Block Diagram

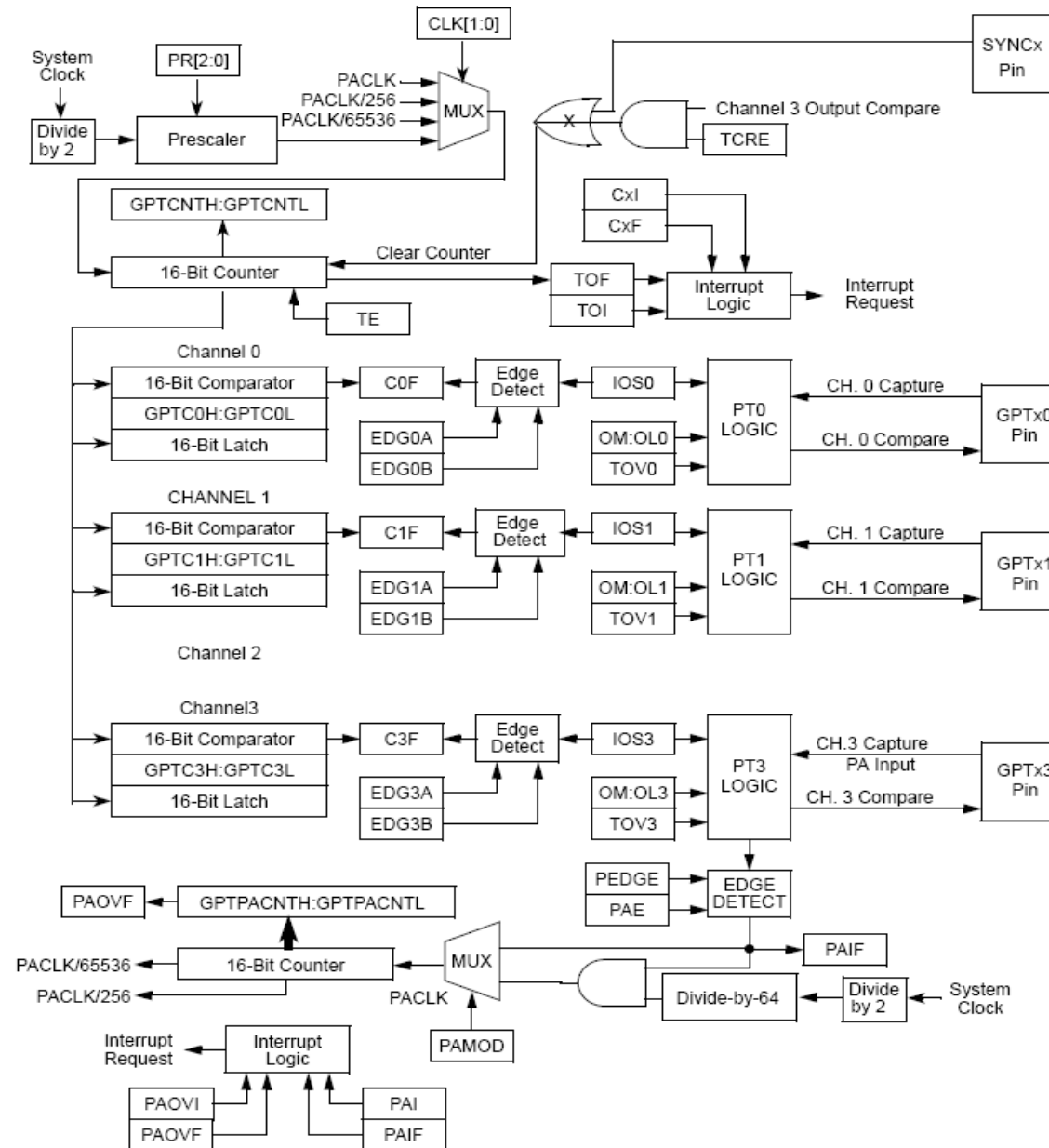


Figure 20-1. GPT Block Diagram

Rejstry modulu GPT A i B (1)

Table 20-3. GPT Modules Memory Map

IPSBAR Offset		Bits 7–0	Access ¹
GPTA	GPTB		
0x1A_0000	0x1B_0000	GPT IC/OC Select Register (GPTIOS)	S
0x1A_0001	0x1B_0001	GPT Compare Force Register (GPTCFORC)	S
0x1A_0002	0x1B_0002	GPT Output Compare 3 Mask Register (GPTOC3M)	S
0x1A_0003	0x1B_0003	GPT Output Compare 3 Data Register (GPTOC3D)	S
0x1A_0004	0x1B_0004	GPT Counter Register (GPTCNT)	S
0x1A_0006	0x1B_0006	GPT System Control Register 1 (GPTSCR1)	S
0x1A_0007	0x1B_0007	Reserved ²	—
0x1A_0008	0x1B_0008	GPT Toggle-on-Overflow Register (GPTTOV)	S
0x1A_0009	0x1B_0009	GPT Control Register 1 (GPTCTL1)	S
0x1A_000A	0x1B_000a	Reserved ⁽²⁾	—
0x1A_000B	0x1B_000b	GPT Control Register 2 (GPTCTL2)	S
0x1A_000C	0x1B_000c	GPT Interrupt Enable Register (GPTIE)	S
0x1A_000D	0x1B_000d	GPT System Control Register 2 (GPTSCR2)	S
0x1A_000E	0x1B_000e	GPT Flag Register 1 (GPTFLG1)	S
0x1A_000F	0x1B_000f	GPT Flag Register 2 (GPTFLG2)	S

Rejestry modułu GPT A i B (2)

Table 20-3. GPT Modules Memory Map (continued)

IPSBAR Offset		Bits 7-0	Access ¹
GPTA	GPTB		
0x1A_0010	0x1B_0010	GPT Channel 0 Register High (GPTC0H)	S
0x1A_0011	0x1Bb_0011	GPT Channel 0 Register Low (GPTC0L)	S
0x1A_0012	0x1B_0012	GPT Channel 1 Register High (GPTC1H)	S
0x1A_0013	0x1B_0013	GPT Channel 1 Register Low (GPTC1L)	S
0x1A_0014	0x1B_0014	GPT Channel 2 Register High (GPTC2H)	S
0x1A_0015	0x1B_0015	GPT Channel 2 Register Low (GPTC2L)	S
0x1A_0016	0x1B_0016	GPT Channel 3 Register High (GPTC3H)	S
0x1A_0017	0x1B_0017	GPT Channel 3 Register Low (GPTC3L)	S
0x1A_0018	0x1B_0018	Pulse Accumulator Control Register (GTPACTL)	S
0x1A_0019	0x1B_0019	Pulse Accumulator Flag Register (GTPAFLG)	S
0x1A_001A	0x1B_001A	Pulse Accumulator Counter Register High (GTPACNTH)	S
0x1A_001B	0x1B_001B	Pulse Accumulator Counter Register Low (GTPACNTL)	S
0x1A_001C	0x1B_001C	Reserved ⁽²⁾	—
0x1A_001D	0x1B_001D	GPT Port Data Register (GTPORT)	S
0x1A_001E	0x1B_001E	GPT Port Data Direction Register (GPTDDR)	S
0x1A_001F	0x1B_001F	GPT Test Register (GPTTST)	S

¹ S = CPU supervisor mode access only.

² Writes have no effect, reads return 0s, and the access terminates without a transfer error exception.

Internal Peripheral System Base Address Register (IPSBAR)

The IPSBAR specifies the base address for the 1 Gbyte memory space associated with the on-chip peripherals. At reset, the base address is loaded with a default location of 0x4000_0000 and marked as valid (IPSBAR[V]=1). If desired, the address space associated with the internal modules can be moved by loading a different value into the IPSBAR at a later time.

	31	30	29	16	
Field	BA31	BA30	—		
Reset	0	1	—		
R/W	R/W				
	15			1	0
Field	—			V	
Reset	—				
R/W	R/W				
Address	IPSBAR + 0x000				

Figure 8-1. IPS Base Address Register (IPSBAR)

If an address “hits” in overlapping memory regions, the following priority is used to determine what memory is accessed:

1. IPSBAR
2. RAMBAR
3. Cache
4. SDRAM
5. Chip Selects

Funkcje portów timera

20.4 Signal Description

Table 20-2 provides an overview of the signal properties.

NOTE

Throughout this section, an “*n*” in the pin name, as in “GPT n 0,” designates GPTA or GPTB.

Table 20-2. Signal Properties

Pin Name	GTPORT Register Bit	Function	Reset State	Pull-up
GPT n 0	PORTT n 0	GPT n channel 0 IC/OC pin	Input	Active
GPT n 1	PORTT n 1	GPT n channel 1 IC/OC pin	Input	Active
GPT n 2	PORTT n 2	GPT n channel 2 IC/OC pin	Input	Active
GPT n 3	PORTT n 3	GPT n channel 3 IC/OC or PA pin	Input	Active
SYNC n	PORTE[3:0] ¹	GPT n counter synchronization	Input	Active

¹ SYNCA is available on either PORTE3 or PORTE1; SYNCB is available on either PORTE2 or PORTE0.

20.4.1 GPT n [2:0]

The GPT n [2:0] pins are for channel 2–0 input capture and output compare functions. These pins are available for general-purpose input/output (I/O) when not configured for timer functions.

Rejestr danych PORT

20.5.18 GPT Port Data Register (GTPORT)

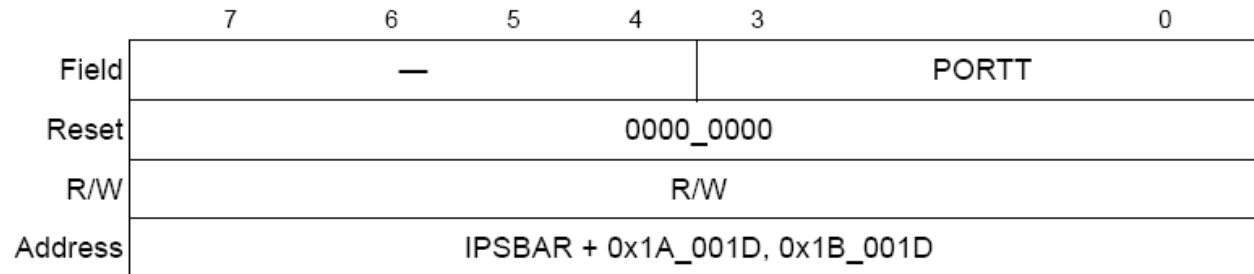


Figure 20-20. GPT Port Data Register (GTPORT)

Table 20-21. GTPORT Field Descriptions

Bit(s)	Name	Description
7-4	—	Reserved, should be cleared.
3-0	PORTT	GPT port input capture/output compare data. Data written to GTPORT is buffered and drives the pins only when they are configured as general-purpose outputs. Reading an input (DDR bit = 0) reads the pin state; reading an output (DDR bit = 1) reads the latched value. Writing to a pin configured as a GPT output does not change the pin state. These bits are read anytime (read pin state when corresponding PORTT _n bit is 0, read pin driver state when corresponding GPTDDR bit is 1), write anytime.

Piny sterujące OC/IC timera GPT A/B mogą pracować jako porty I/O tylko, gdy zostaną odpowiednio skonfigurowane !

Rejestr kierunku danych DDR

20.5.19 GPT Port Data Direction Register (GPTDDR)

	7	6	5	4	3	0
Field	—				DDRT	
GPT Function	—				IC/OC	
Pulse Accumulator Function	—				PAI	—
Reset	0000_0000					
R/W	R/W					
Address	IPSBAR + 0x1A_001E, 0x1B_001E					

Figure 20-21. GPT Port Data Direction Register (GPTDDR)

Table 20-22. GPTDDR Field Descriptions

Bit(s)	Name	Description
7-4	—	Reserved, should be cleared.
3-0	DDRT	Control the port logic of PORTT n . Reset clears the PORTT n data direction register, configuring all GPT port pins as inputs. These bits are read anytime, write anytime. 1 Corresponding pin configured as output 0 Corresponding pin configured as input

Porty modułu przerwań EPORT

Port przerwań zewnętrznych (EPORT)

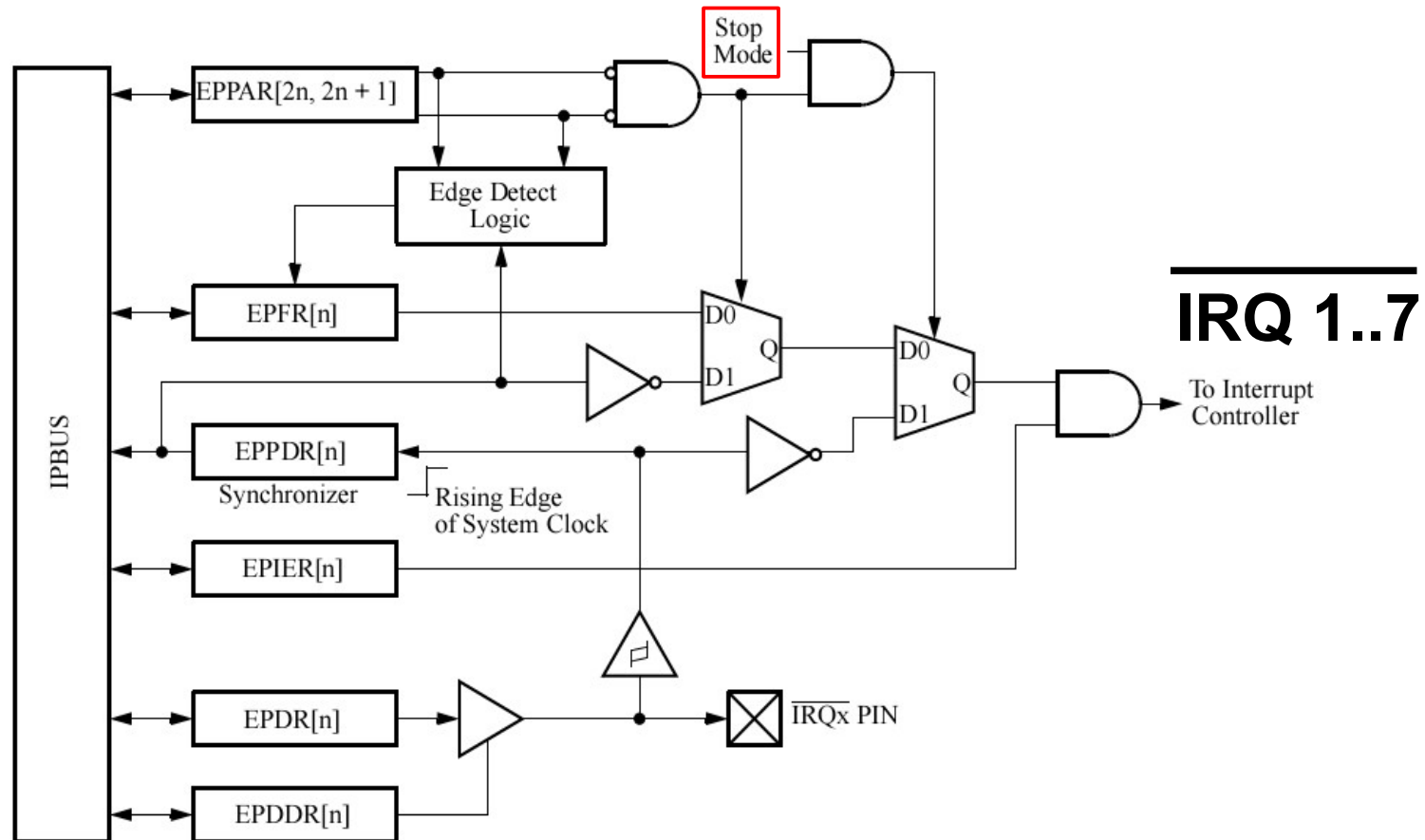


Table 11-2. Edge Port Module Memory Map

IPSBAR Offset	Bits 15–8	Bits 7–0	Access ¹
0x0013_0000	EPORT Pin Assignment Register (EPPAR)		S
0x0013_0002	EPORT Data Direction Register (EPDDR)	EPORT Interrupt Enable Register (EPIER)	S
0x0013_0004	EPORT Data Register (EPDR)	EPORT Pin Data Register (EPPDR)	S/U
0x0013_0006	EPORT Flag Register (EPFR)	Reserved ²	S/U

Tryby pracy portu przerwań

Low-power Mode	EPORT Operation	Mode Exit
Wait	Normal	Any $\overline{\text{IRQx}}$ Interrupt at or above level in LPICR
Doze	Normal	Any $\overline{\text{IRQx}}$ Interrupt at or above level in LPICR
Stop	Level-sensing Only	Any $\overline{\text{IRQx}}$ Interrupt set for level-sensing at or above level in LPICR

In wait and doze modes, the EPORT module continues to operate as it does in run mode. It may be configured to exit the low-power modes by generating an interrupt request on either a selected edge or a low level on an external pin. In stop mode, there are no clocks available to perform the edge-detect function. Only the level-detect logic is active (if configured) to allow any low level on the external interrupt pin to generate an interrupt (if enabled) to exit stop mode.

Tablica wektorów przerwań

Table 10-13. Interrupt Source Assignment for INTC0

Source	Module	Flag	Source Description	Flag Clearing Mechanism
1	EPORT	EPF1	Edge port flag 1	Write EPF1 = 1
2		EPF2	Edge port flag 2	Write EPF2 = 1
3		EPF3	Edge port flag 3	Write EPF3 = 1
4		EPF4	Edge port flag 4	Write EPF4 = 1
5		EPF5	Edge port flag 5	Write EPF5 = 1
6		EPF6	Edge port flag 6	Write EPF6 = 1
7		EPF7	Edge port flag 7	Write EPF7 = 1
8	SCM	SWT1	Software watchdog timeout	Cleared when service complete
9	DMA	DONE	DMA Channel 0 transfer complete	Write DONE = 1
10		DONE	DMA Channel 1 transfer complete	Write DONE = 1
11		DONE	DMA Channel 2 transfer complete	Write DONE = 1
12		DONE	DMA Channel 3 transfer complete	Write DONE = 1
13	UART0	Multiple	UART0 interrupt	Cleared when service complete
14	UART1	Multiple	UART1 interrupt	Cleared when service complete
15	UART2	Multiple	UART2 interrupt	Cleared when service complete

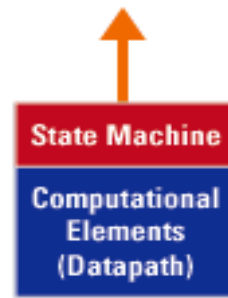
Wykonywanie instrukcji

Cykle pracy procesora

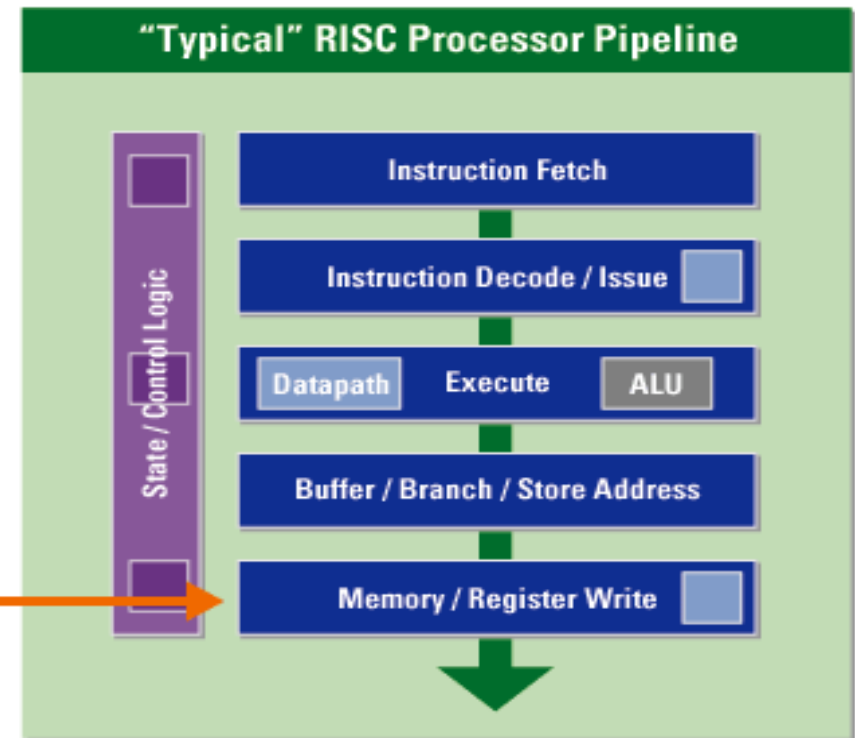
Procesor pobiera rozkazy z pamięci i wykonuje je sekwencyjnie.

Wykonanie pojedynczej instrukcji zajmuje min. 5 cykli procesora (dla procesora przedstawionego na rysunku).

"Firmware"



"Typical" RISC Processor Pipeline



Pracę procesora można podzielić na kilka etapów:

1. Pobranie rozkazu z pamięci programu (Instruction Fetch, PC++),
2. Dekodowanie rozkazu, odczyt rejestrów (Instruction Decode),
3. Wykonanie rozkazu (Execute command - ALU),
4. Pobranie argumentów z pamięci danych (Memory Access),
5. Zapisanie wyniku operacji w pamięci (Write Back).

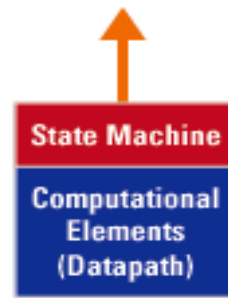
Procesor zawsze wykonuje jedną z powyższych czynności.

Cykle pracy procesora

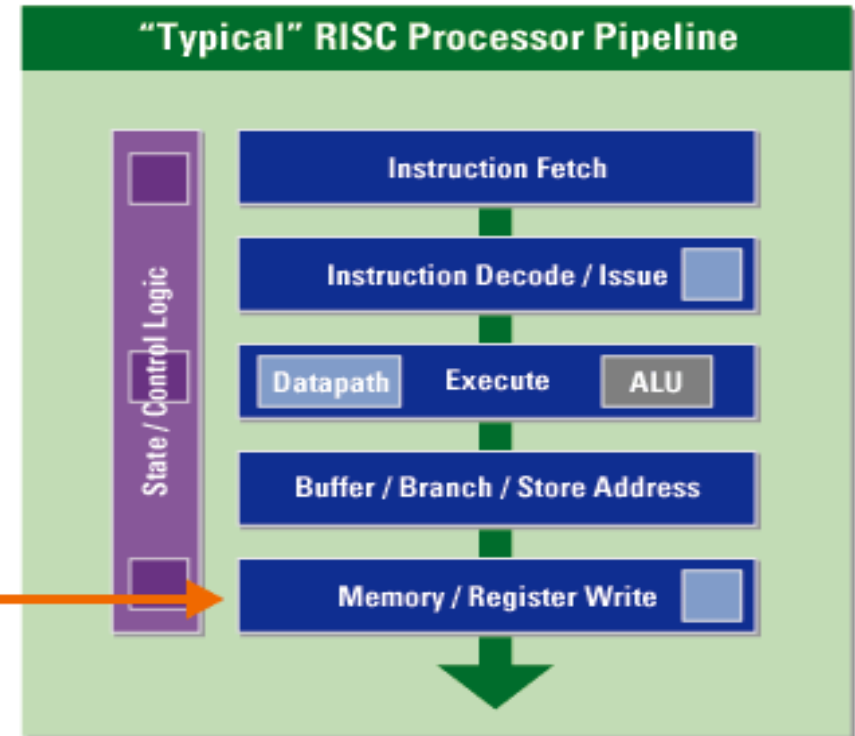
ADD.L <ea>y, Dx
ADD.L D0, D1

Język maszynowy:
1 0000 D280

"Firmware"



"Typical" RISC Processor Pipeline



Pracę procesora można podzielić na kilka etapów:

1. Pobranie rozkazu z pamięci programu (Instruction Fetch),
2. Dekodowanie rozkazu (Instruction Decode),
3. Wykonanie rozkazu (Execute command),
4. Pobranie argumentów z pamięci danych (Memory Access),
5. Zapisanie wyniku operacji w pamięci (Write Back).

Wykonanie pojedynczej instrukcji (1)

Etap 1 Instruction fetch cycle (IF):

1. Wysłanie zawartości licznika rozkazów na magistralę adresową,
2. Odczyt instrukcji z pamięci programu,
3. Zwiększenie zawartości licznika rozkazów ($PC = PC+4$).

Etap 2 Instruction decode/register fetch cycle (ID):

1. Zdekodowanie odczytanego z pamięci rozkazu,
2. Odczytanie operandów z rejestrów (D0 - D7),

Etap 3 Execution/effective address cycle (EX):

ALU operuje na operandach przygotowanych w poprzednim cyklu.

Przykładowe operacje:

- a) Obliczenie adresu efektywnego danej umieszczonej w pamięci.

Rezultat umieszczony w rejestrze wyjściowym ALU.

- b) Wykonanie operacji matematyczno-logicznej na rejestrach procesora (rejstry D0-D7, akumulator),

- c) Wykonanie operacji z użyciem danej umieszczonej w rejestrach oraz podanej w postaci natychmiastowej,

- d) Wykonanie instrukcji skoku - obliczenie przez ALU nowego adresu, z którego zostanie odczytany rozkaz.

Wykonanie pojedynczej instrukcji (2)

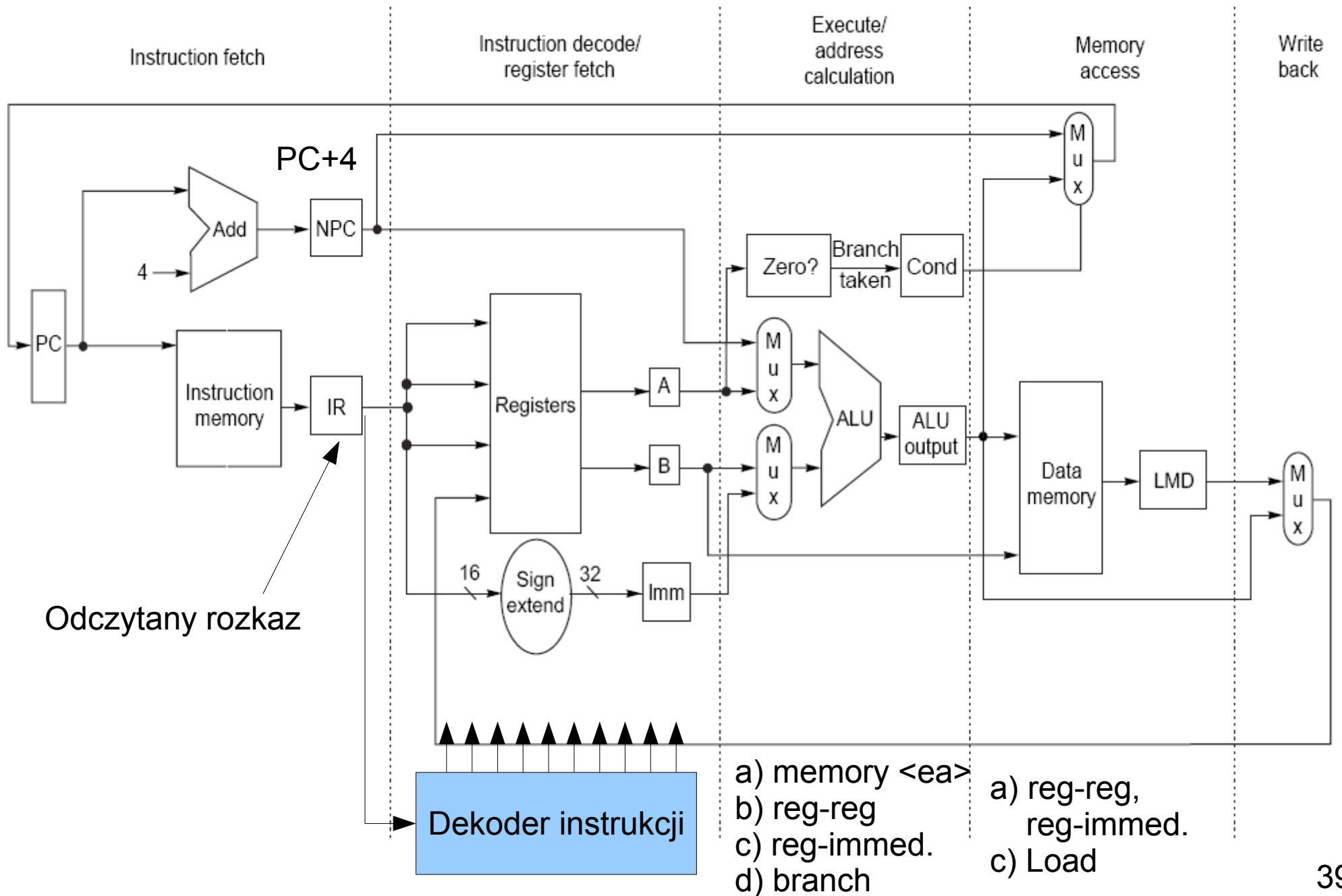
Etap 4 Memory access/branch completion cycle (MEM):

- a). Odczytanie danej z pamięci danych,
- b). W przypadku realizacji instrukcji skoku, adres obliczony w poprzednim cyklu wpisywany jest do licznika programów.

Etap 5 Write-back cycle(WB):

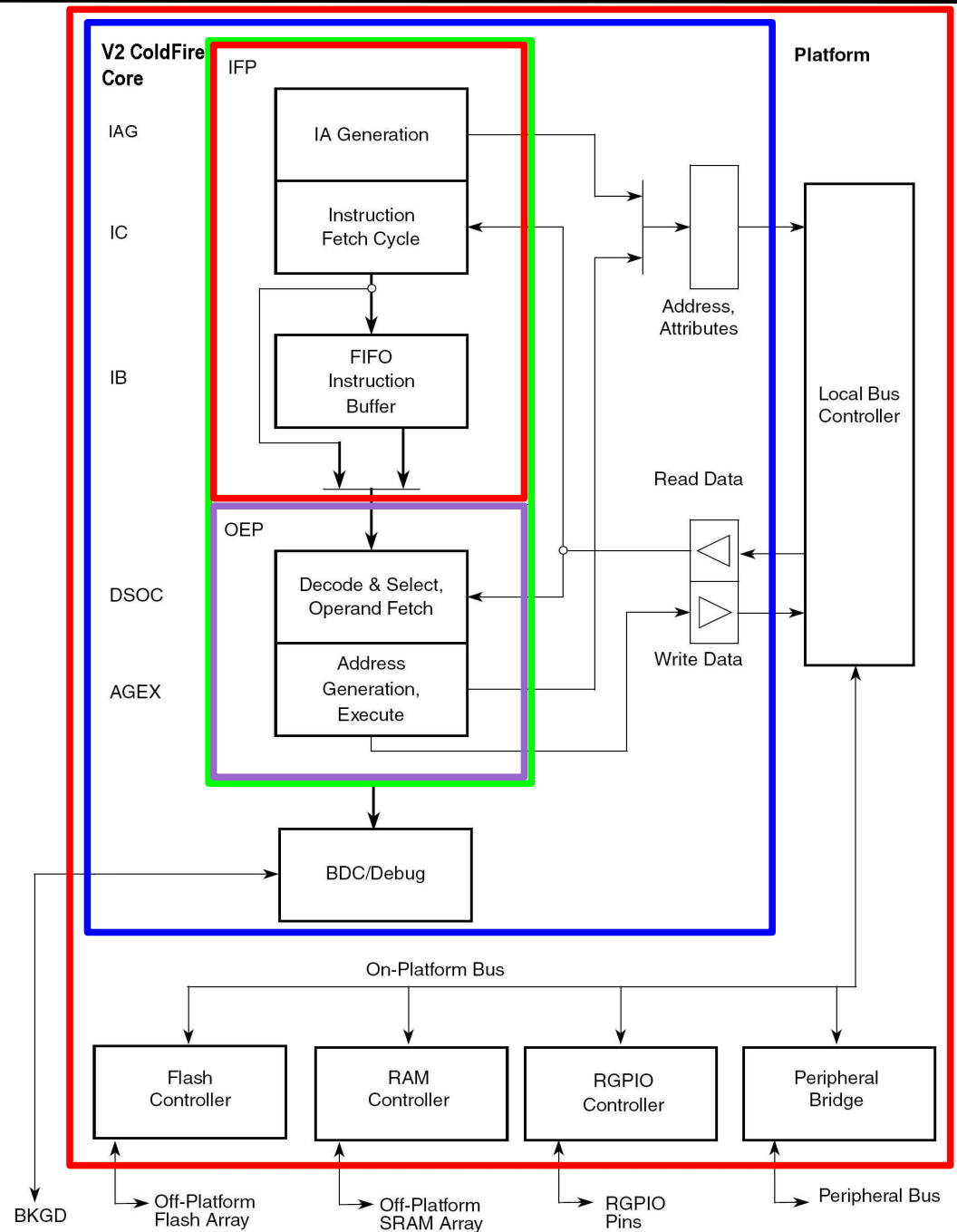
- 1. Zapisanie rezultatu operacji w rejestrze lub pamięci.

Datapath



Potok instrukcji ColdFire 2 (1)

- IFP – jednostka pobierająca instrukcje (Instruction Fetch Pipeline)
- OEP – jednostka przetwarzająca instrukcje (Operand Execution Pipeline)



Wykonanie instrukcji assemblera (1)

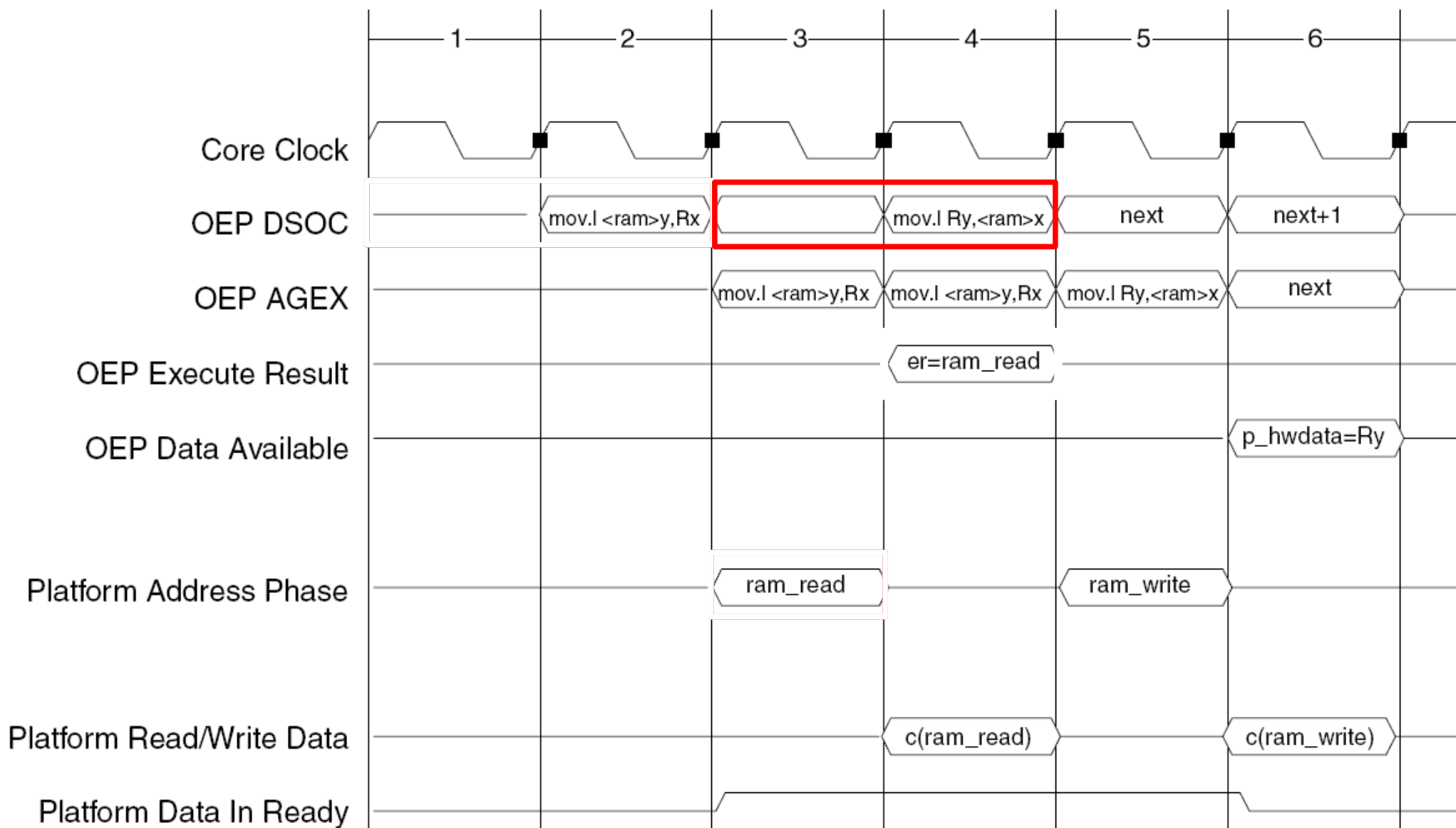
Przykład sekwencyjnego odwołania do pamięci:

1. *mov.l <ram>y, Rx*

2. *mov.l Ry, <ram>x*

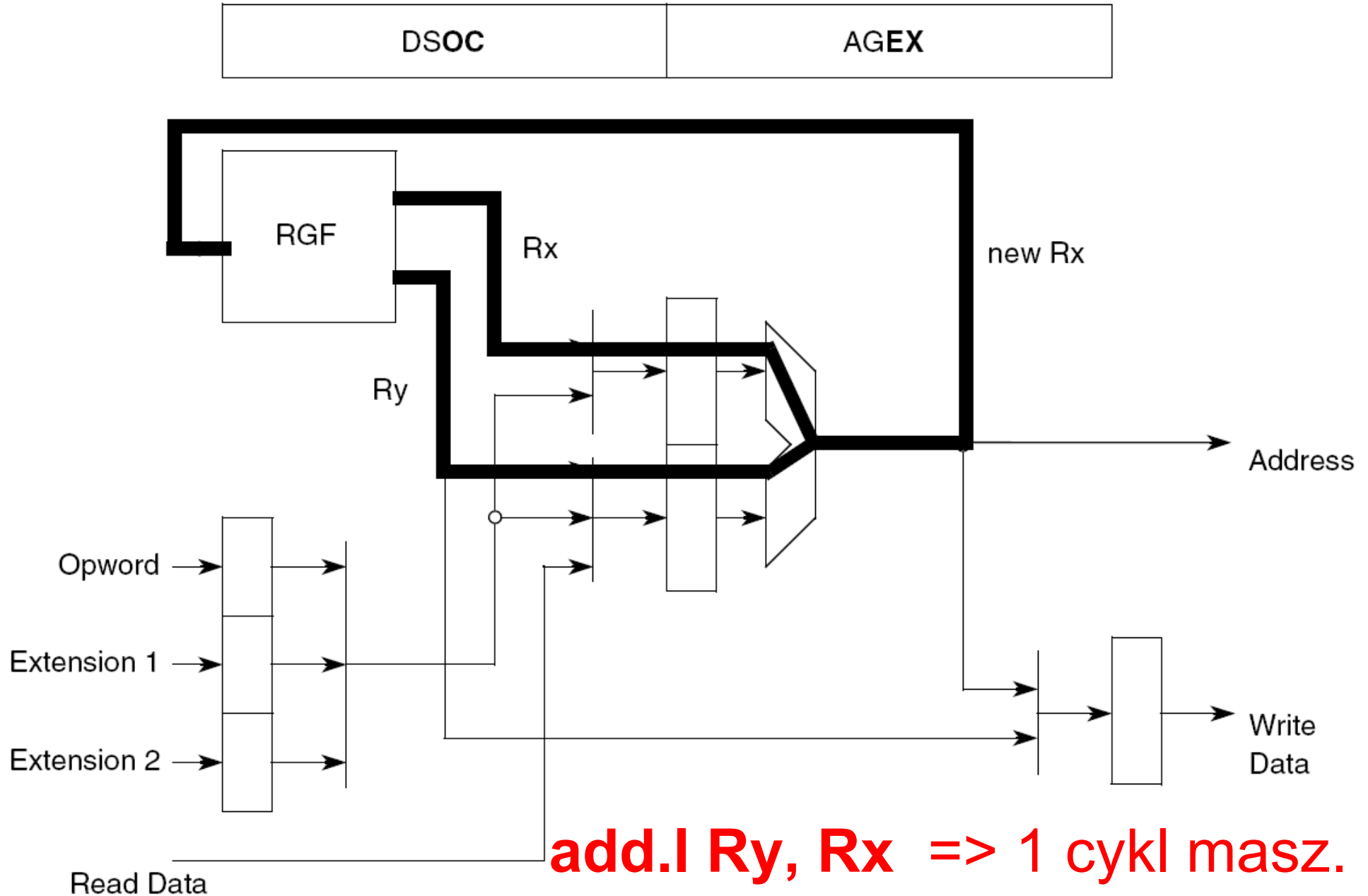
Cycle	CPU_OEP DSOC Stage	CPU_OEP AGEX Stage	CPU_OEP Virtual Data Available	Platform Address Phase	Platform Data Phase
2	1st cycle: <i>mov.l <ram>y,Rx</i>				
3	2nd cycle: <i>mov.l <ram>y,Rx</i>	1st cycle: <i>mov.l <ram>y,Rx</i>		RAM read	
4	1st cycle: <i>mov.l Ry,<mem>x</i>	2nd cycle: <i>mov.l <ram>y,Rx</i>			RAM read
5	next inst	1st cycle: <i>mov.l Ry,<ram>x</i>		RAM write	
6	next+1 inst	next inst	1st cycle: <i>mov.l Ry,<ram>x</i>		RAM write

Zależności czasowe

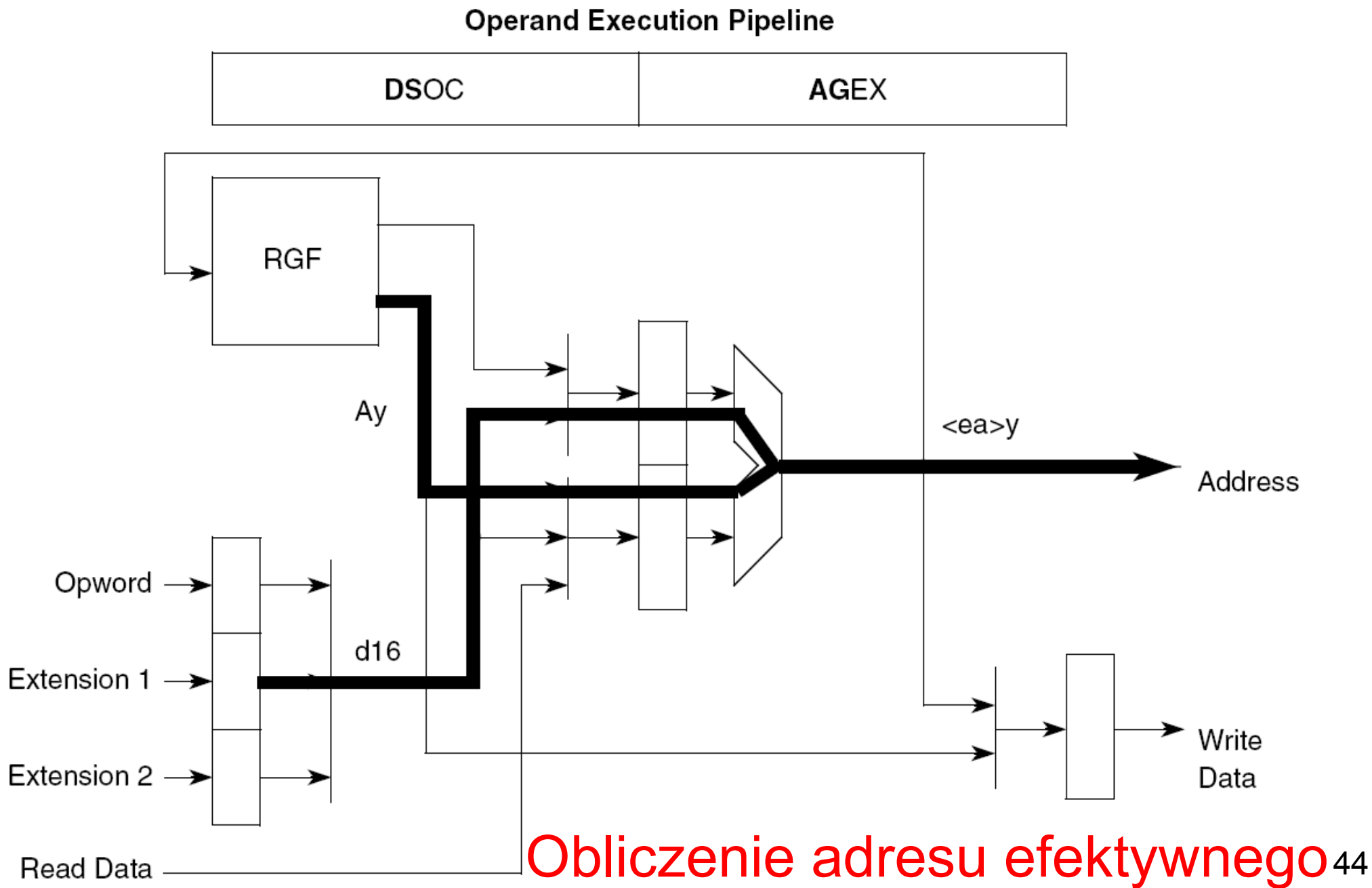


Operacja typu rejestr-rejestr

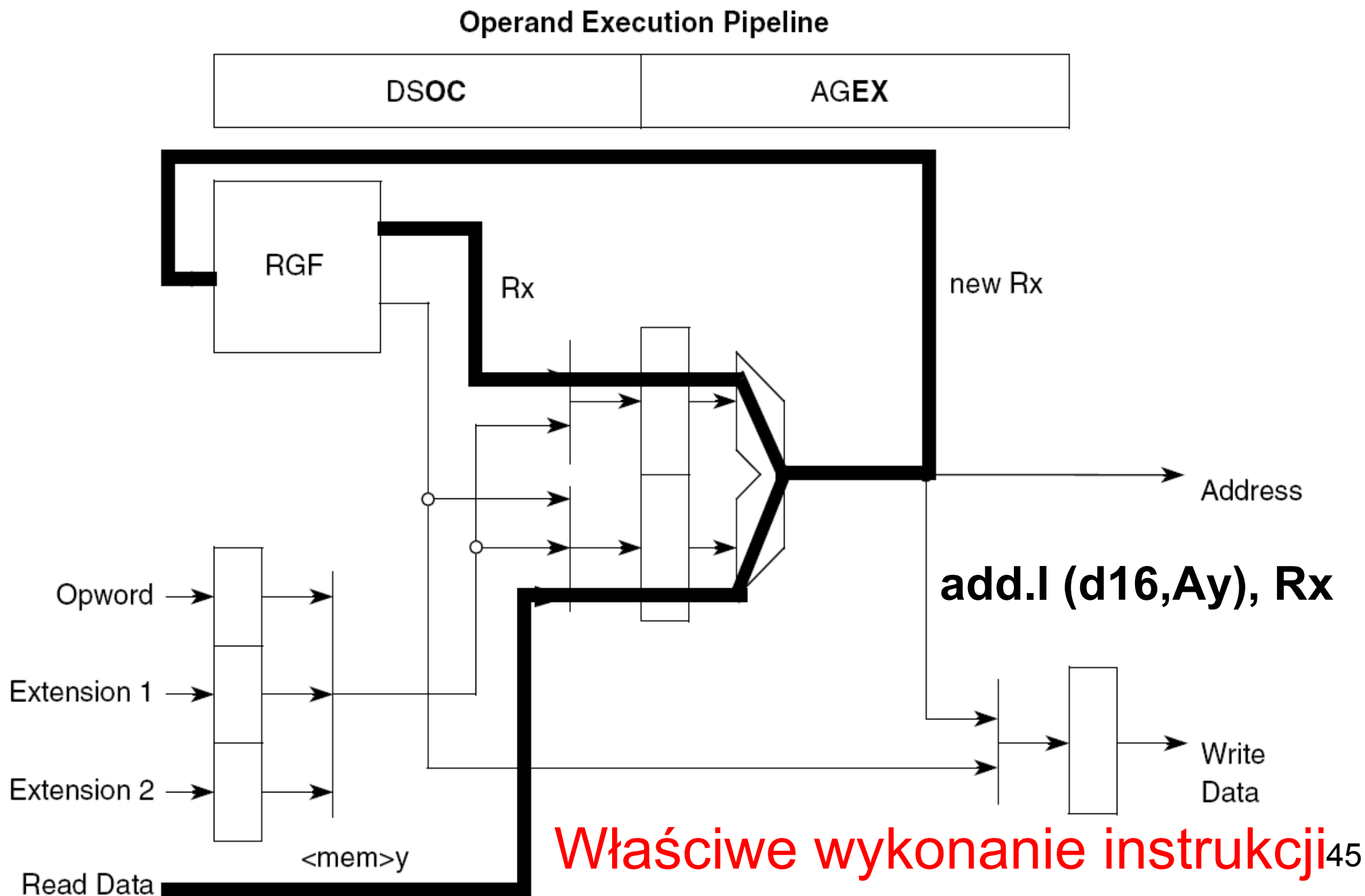
Operand Execution Pipeline



Operacja typu pamięć-rejestr (odczyt) (1)

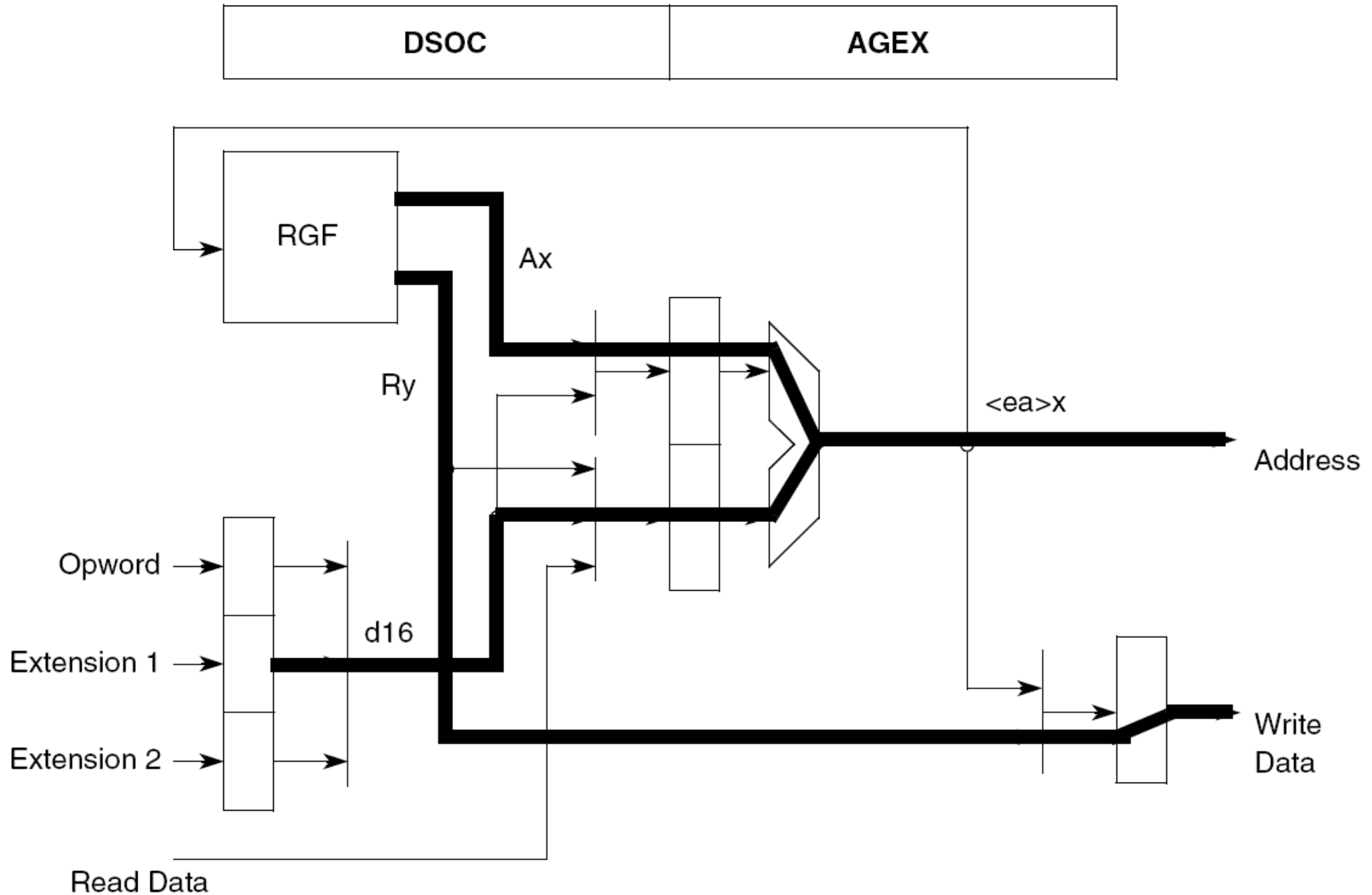


Operacja typu pamięć-rejestr (odczyt) (2)



Operacja typu rejestr-pamięć (zapis)

Operand Execution Pipeline



Czas wykonania instrukcji

Instruction Mnemonic	Operation	Execution Time
<op> Ry,Rx	register-to-register	1
mov.{b,w,l} <mem>y,Rx	8,16,32-bit load	2
mvs.{b,w} <mem>y,Rx	8,16-bit load with sign extension	2
mvz.{b,w} <mem>y,Rx	8,16-bit load with zero fill	2
mov.* Ry,<mem>x	store	1
mov.l <mem>y,<mem>x	memory-to-memory	2
<op> <mem>y,Rx	embedded-load	3
<op> Ry,<mem>x	read-modify-write	3
bsr, jsr <label>	subroutine call	3
rts	subroutine return	5
bra <label>	branch always	2
bcc <label> (forward, not taken) (forward, taken) (backward, not taken) (backward, taken)	conditional branch	1 3 3 2